

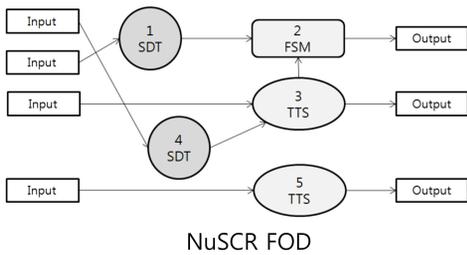
## 서론

- 원자력 발전소의 디지털 제어시스템에서 공통원인고장(Common Cause Failures)의 발생 가능성 증가
- CCF 증가를 방지하기 위해 원자력 연구소에서 PLC (Programmable Logic Controller) 대신 FPGA (Field-Programmable Gate Array) 기반 안정등급 다양성 제어를 개발하여 활용
- NuSCRtoFBD에 FPGA 개발용 FBD 자동생성 기능 추가 필요

## 배경 지식

### NuSCR

- 원자력발전소 제어시스템 소프트웨어를 명세하도록 개발된 정형명세기법
- SCR (Software Cost Reduction)을 원자력발전소 제어시스템에 들어가는 소프트웨어의 개발에 적합하게 수정 및 보완
- Parnas의 Four Variable Model 기반으로 하고 세 가지 모델을 추가로 사용 (function variable, history variable, timed-history variable)
- 데이터 흐름 다이어그램의 한 종류인 FOD (Function Overview Diagram)를 사용하여 표현



### FBD

- PLC를 구동하기 위한 소프트웨어 프로그램 작성에 사용되는 프로그래밍 언어 중 하나로 IEC-61131-3 표준이다.
- 각각의 기능을 수행하는 FB (Function Block)들을 연결로 표현 → 정보의 흐름을 표현
- FB는 산술연산, 논리연산, 비교연산, 선택연산, 시간연산 등의 다양한 연산을 수행
- FB에는 각각의 실행 순서가 부여
- 각 FB는 선으로 연결되는 표현을 가짐 → 절차적인 흐름을 표현

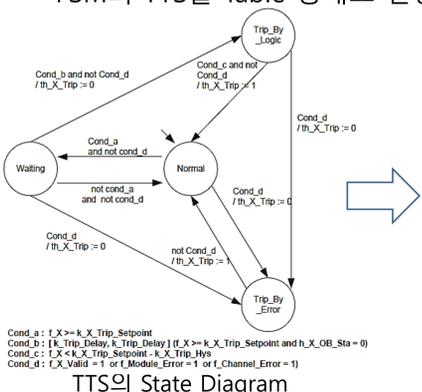
## NuSCRtoFBD의 변환 과정

### 1) 완전성 및 일관성 분석

- 명세 상의 모든 변수들에 대해 문법상의 오류를 확인

### 2) FSM과 TTS에 대한 2C-Table 생성

- State Diagram 형태는 있는 그대로 사용 불가
- FSM과 TTS를 Table 형태로 변형하여 사용



state = Normal	T	T	T	T
Cond_b and not Cond_d	T	-	-	-
Cond_c and not Cond_d	-	T	-	-
Otherwise	-	-	T	-
state = Waiting	-	-	T	T
not Cond_a and not Cond_d	-	T	-	-
Cond_b and not Cond_d	-	-	T	-
Otherwise	-	-	-	T
state = Trip_By_Logic	-	-	T	T
Cond_c and not Cond_d	-	-	T	-
Otherwise	-	-	-	T
state = Trip_By_Error	-	-	-	T
not Cond_d	-	-	-	T
Otherwise	-	-	-	T
th_X_Trip = 0	✓	✓	✓	✓
th_X_Trip = 1	✓	✓	✓	✓
th_X_Trip = prev	✓	✓	✓	✓
state = Normal	✓	✓	✓	✓
state = Waiting	✓	✓	✓	✓
state = Trip_By_Logic	✓	✓	✓	✓
state = Trip_By_Error	✓	✓	✓	✓

2C-Table

### 3) 기본 FBD 생성

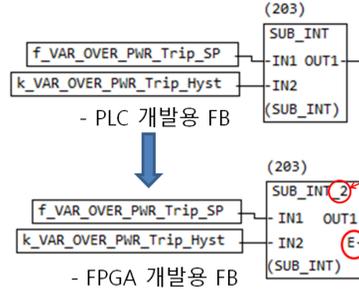
- SDT와 2C-Table을 사용하여 FBD를 생성
- function variable node, history variable node 그리고 timed-history variable node에 대한 개별적인 FBD를 완성

### 4) FBD의 실행 순서 결정

- 모든 실행 가능한 순서를 고려
- 최적의 실행 순서를 결정

## NuSCRtoFBD 4.0

### 1. FPGA 개발용 FBD 생성

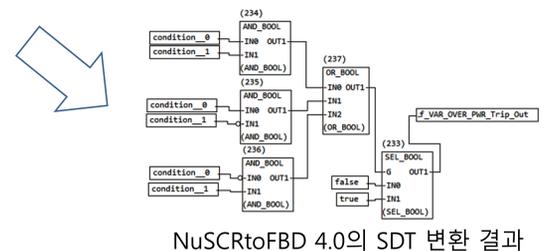
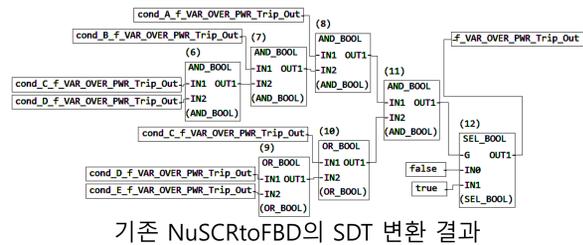


HDL 변환 과정에서 HDL Library를 참조하기 위해 FB의 이름 변화

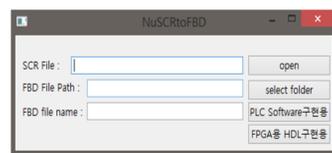
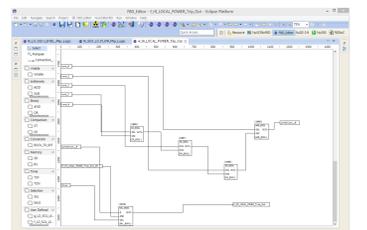
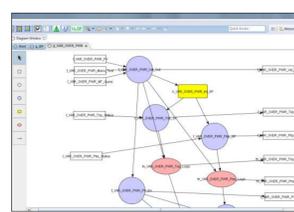
FPGA 개발용 FBD에서 요구하는 추가적인 Output Variable을 만족

### 2. 개선사항

- NuSCRtoFBD 4.0 가용성 개선**  
- NuSCR의 복잡성에 영향 받지 않도록 개선
- SDT 부분을 변환한 FBD의 구조를 개선**  
- 구조를 단순화  
- 불필요한 연산 과정 개선
- 추가적인 중간 값을 생성하는 구조로 변경**  
- 블록간의 연결 간결화  
- 중복 연산의 발생 방지  
- 변환 속도 개선



### 3. 전체 흐름



## 결론

### NuSCRtoFBD 4.0

- PLC 개발용 FBD를 자동생성 도구인 NuSCRtoFBD를 개선
- NuSCRtoFBD에 FPGA 개발용 FBD 자동생성 기능 추가

### 기대 효과

- NuSCR 명세 작업 중 발생한 오류 파악 가능
- 생성된 FPGA 개발용 FBD는 FBDtoVerilog와 같은 FPGA 개발용 FBD를 이용하는 프로그램의 입력 값으로 사용