

# VerilogLinker : FPGA 제어를 위한 통합개발환경과 상용 FPGA 합성도구의 연동

---

건국대학교 DSLab

서영주, 이동아, 유준범

# Contents

- 연구배경
  - 원전 계측제어 시스템
  - FPGA
  - PLC
  - 통합개발환경
  - Libero SoC
- 목표
  - VerilogLinker
  - 연동 수행 결과
- 결론 및 향후 연구

# 연구 배경

# 연구 배경

- 원전 디지털 계측제어 시스템
  - 최근 계측제어 시스템에서 공통원인고장(Common Cause Failure)의 발생 가능성이 증가
  - 기존의 PLC를 이용한 계측제어 시스템의 개발에서 FPGA를 이용한 제어기 도입 추진 중
  - PLC와 FPGA의 차이로 인한 개발의 어려움 발생
  - 기존 PLC 프로그램을 대상으로 사용할 수 있는 소프트웨어 검증 기법을 FPGA기반 개발에 적용할 수 없음



PLC



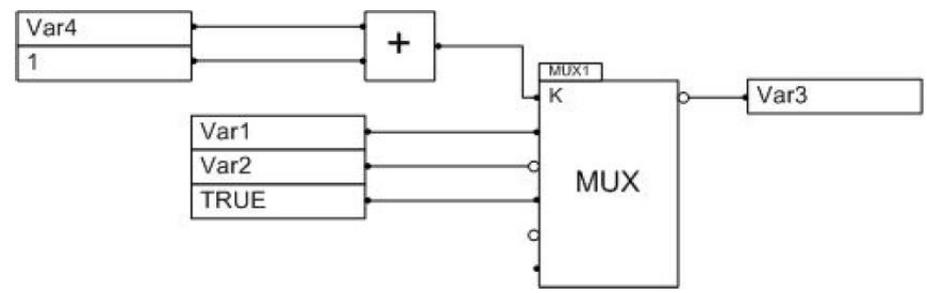
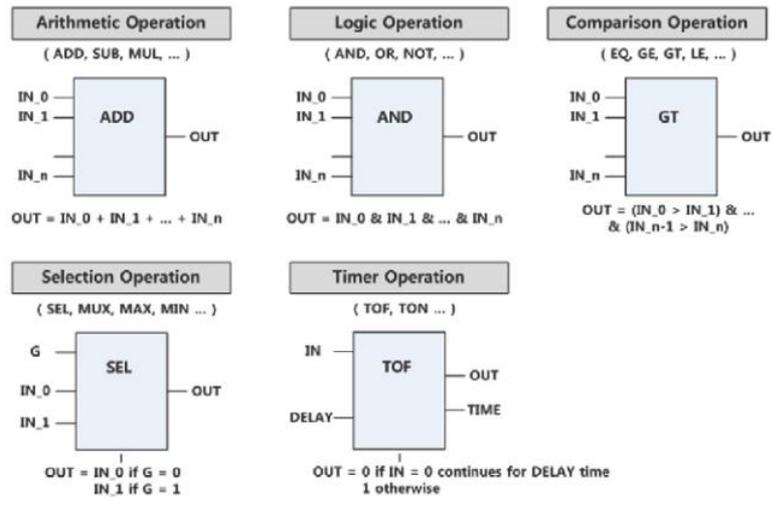
FPGA

# 연구 배경 – PLC

- PLC (Programmable Logic Controller)
  - 산업 플랜트의 자동 제어 및 감시에 사용되는 제어장치
  - 광범위한 온도범위에서도 동작하며 전기적 노이즈 및 진동과 충격에도 강함
  - PLC에서 동작하는 프로그램은 LD, FBD, ST, IL, SFC 등의 언어를 이용해 구현
  - 소프트웨어 기반의 CPU에 의한 프로그램 수행

# 연구 배경 - PLC

- FBD (Function Block Diagram)
  - PLC 개발을 위한 언어의 하나로 IEC 61131-3에 정의된 언어 중 하나
  - 산술, 논리, 선택 등의 연산을 수행하는 블록을 연결하여 프로그램을 작성
  - 그래픽 기반 언어

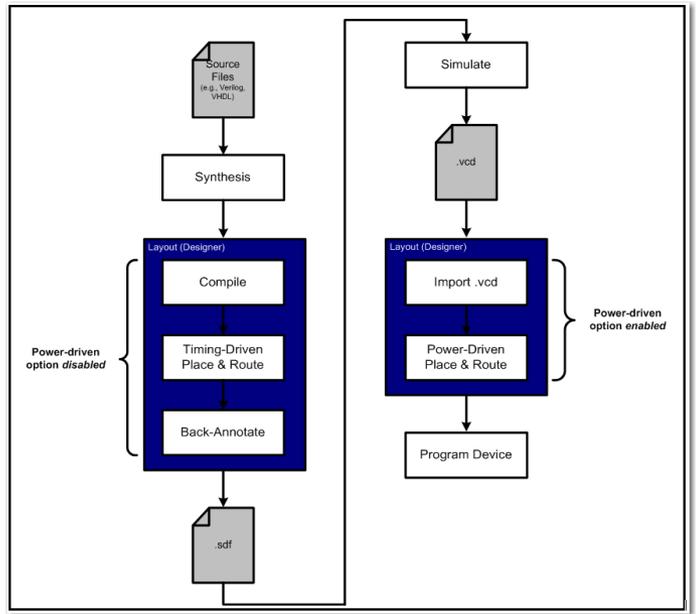


FBD 프로그램의 예

Function block의 종류

# 연구 배경 – FPGA

- FPGA (Field Programmable Gate Array)
  - 프로그래밍 가능 내부선이 포함된 반도체 소자
  - 반도체 내부선을 제조 이후에 설계자가 프로그램할 수 있음
  - HDL을 이용해 내부 구현
  - 하드웨어 기반으로 논리 게이트의 배열을 이용해 연산 수행



HDL의 합성 과정

# 연구 배경 - FPGA

- HDL (Hardware description language)
  - 전자회로의 기술에 사용되는 언어
  - 회로의 동작, 구조의 기술에 사용
  - 소프트웨어 프로그래밍 언어와 달리 하드웨어의 주요 특징을 나타내는 표현들이 명시적으로 존재함
  - VHDL, Verilog 등이 있음

```

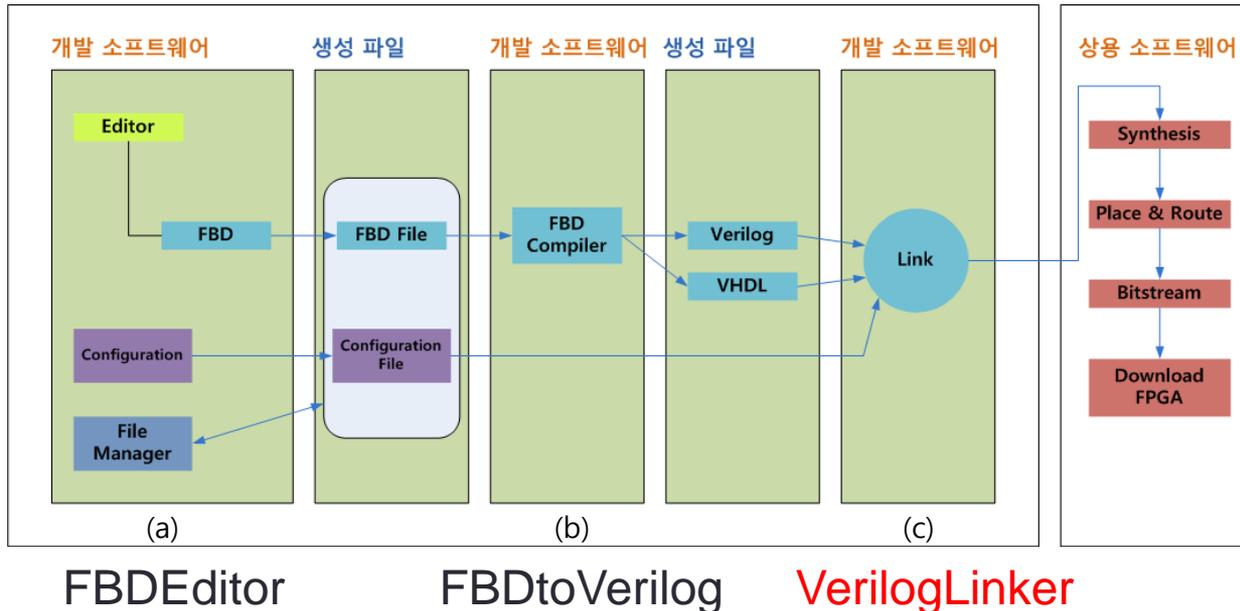
1 -----
2 -- Company: Young Embedded Systems LLC
3 -- Engineer: Gene Breniman
4 -- Module Name:   ARM_SEQ_RAM- - Behavioral
5 -- Revisions:
6 --   0.01 - 07/02/2007 File Created
7 -- Additional Comments:
8 --
9 -----
10 library IEEE;
11 use IEEE.STD_LOGIC_1164.ALL;
12 use IEEE.STD_LOGIC_ARITH.ALL;
13 use IEEE.STD_LOGIC_UNSIGNED.ALL;
14
15 entity ClkDiv is
16     Port ( InByte : in STD_LOGIC_VECTOR(3 downto 0);      --<-- Seq_CPLD
17           RegSel  : in STD_LOGIC_VECTOR(1 downto 0);      --<-- Seq_CPLD
18           RegStrb : in STD_LOGIC;                          --<-- Seq_CPLD
19           MClk    : in STD_LOGIC;                          --<-- OSC
20           SeqReset : in STD_LOGIC;                         --<-- Power Monitor
21           ADC_Clk : out STD_LOGIC);                       -->-- ADC
22
23 end ClkDiv;
24
25 architecture Behavioral of ClkDiv is
26     signal ADC_div : STD_LOGIC_VECTOR(5 downto 0) := "001111";
27     signal ADCClk  : STD_LOGIC := '0';
28     signal ClkSel  : STD_LOGIC_VECTOR(2 downto 0) := "100";
29
30 begin
31     ClkDivP : process(Mclk,SeqReset)
32     begin
33         if SeqReset = '0' then
34             ADCClk <= '0';
35             ADC_div <= "001001";
36         elsif Mclk = '0' and Mclk'event then
37             if ADC_div = "000000" then
38                 ADCClk <= not(ADCClk);
39                 case ClkSel is
40                     when "000" => -- 20MHz - divide by 2
41                     when "001" => -- 10MHz
42                         ADC_div <= "000001"; -- divide by 4
43                     when "010" => -- 4MHz
44                         ADC_div <= "000100"; -- divide by 10
45                     when "011" => -- 2MHz
46                         ADC_div <= "001001"; -- divide by 20
47                     when "100" => -- 1MHz
48                         ADC_div <= "001001"; -- divide by 40
49                     when others => -- 400KHz

```

VHDL의 예

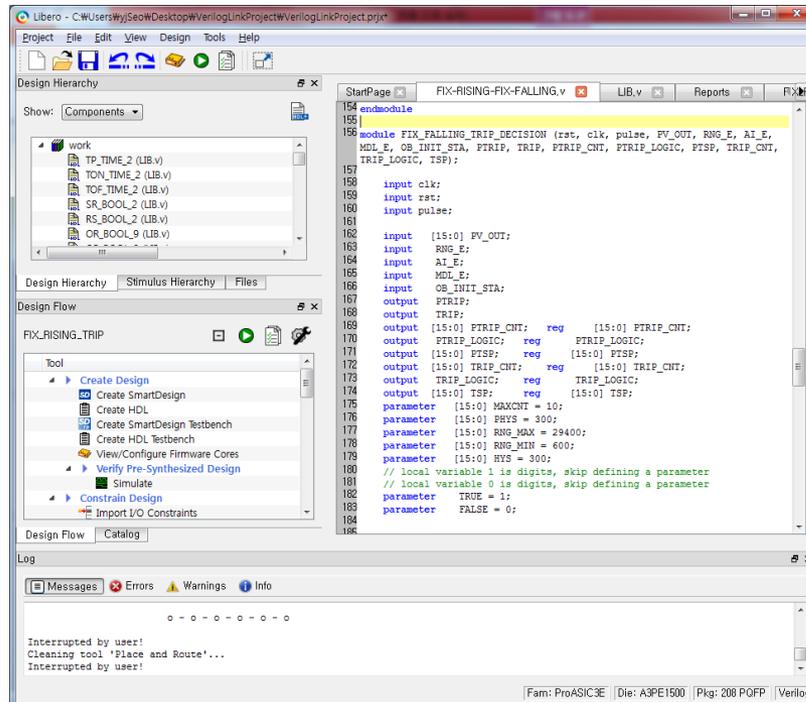
# 연구 배경 - 통합개발환경

- FBD를 이용한 FPGA 개발
  - 개발자가 직접 HDL로 제어프로그램을 작성할 필요 없이 FBD로 제어로직을 작성할 수 있게 지원해야 한다.
  - 기본적인 FBD외에 사용자 정의 함수 또는 블록을 추가로 사용할 수 있게 할 수 있어야 한다.
  - 합성 및 이진파일 생성 등을 상용 소프트웨어 도구와 연결하여 자동으로 수행할 수 있어야 한다.



# 연구 배경 – Libero SoC

- FPGA 개발용 상용 소프트웨어 툴셋
  - FPGA의 설계/검증 및 제작 도구
  - HDL의 합성(synthesis), 배선 및 배치(Place and Route), 이진파일(Bitstream file) 생성 기능 제공

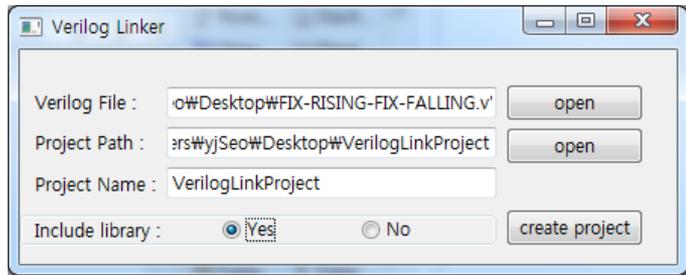


Libero SoC 실행 화면

# 목표

# 목표 – VerilogLinker

- 목적
  - 통합개발환경의 FBDtoVerilog에서 생성된 Verilog 파일을 Libero와 연결
  - Verilog 파일을 입력으로 받아 Libero 프로젝트를 생성
- Libero 프로젝트 생성
  - Libero에서 생성하는 프로젝트파일 및 폴더 구조에 대한 분석 수행
  - Libero 프로젝트의 내용은 text및 xml로 되어있어서 구조 파악 가능
  - Verilog 파일의 정보를 읽어서 프로젝트의 생성에 사용
  - 원자력 연구원에서 제공하는 Verilog의 라이브러리 파일을 프로젝트에 포함 가능.



VerilogLinker 실행 화면

# 목표 – VerilogLinker

- Libero 프로젝트 파일 분석

```
<tool Constraint_Default="true" Simulation_Default="true"
Source_Default="true" Stimulus_Default="true" internal_name="SYNTHESIZE_PS"
library="Tool" name="Precision" state="0" vendor="Mentor" version="1.0.100">
  <configuration />
  <input_files />
  <file>
    <path>synthesis\FIX_RISING_TRIP.v</path>
    <type>HDL</type>
    <fileset>ANY_SIMULATION_FILESET</fileset>
    <local>true</local>
    <used>true</used>
    <selectable>>false</selectable>
    <timestamp>0</timestamp>
    <used_for_compile>>false</used_for_compile>
    <used_for_synthesis>>false</used_for_synthesis>
  </file>
</input_files>
<output_files />
<report_files />
</tool>
```

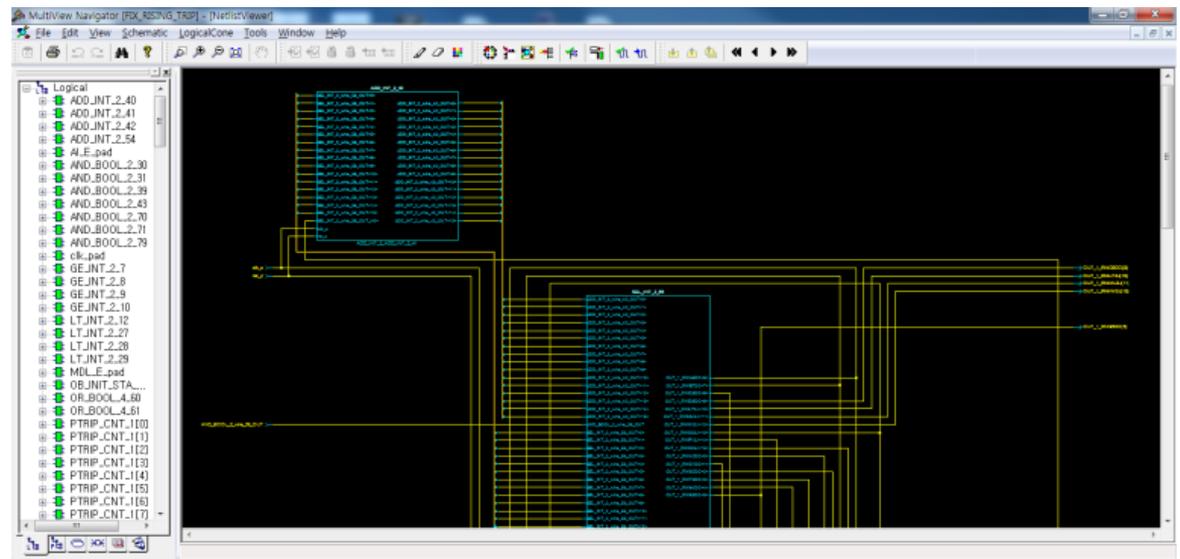
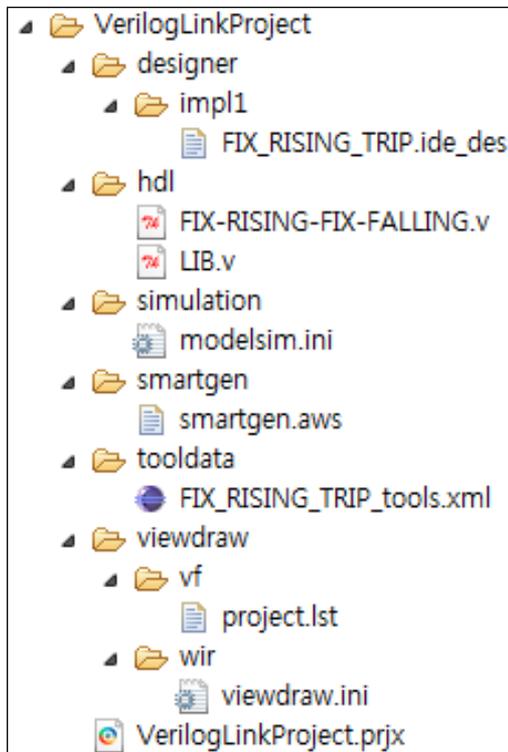
xml 파일 내부

```
KEY IDE_DES_TOOL "Ide"
KEY IDE_DES_ADB_PATH "C:\Users\yjSeo\Desktop\VerilogLinkProject\VerilogLinkProject\designer\impl1\FIX_RISING_TRIP.adb"
LIST SOURCE_FILES
ENDLIST
LIST OPTIONAL_FILES
ENDLIST
LIST VCD_FILES
ENDLIST
```

.ide\_des 파일 내부

# 목표 - 연동 수행 결과

- VerilogLinker를 통해 생성된 프로젝트 구조 및 합성된 netlist



Libero SoC를 이용한 합성



# 결론 및 향후 연구

# 결론 및 향후 연구

- PLC용 소프트웨어 개발 언어인 FBD를 이용한 FPGA 제어기의 개발을 지원하는 VerilogLinker 개발
- 다른 상용 소프트웨어와의 연동을 위한 분석 및 구현 계획