

안전 중요 분야에서 FPGA 기반 시스템의 확인 및 검증과 위험 분석에 관한 조사 연구

이영규, 김대원, 허윤아, 유준범
건국대학교 컴퓨터공학부

sontouf@gmail.com, kdwkw0078@gmail.com, hyoona1202@naver.com, jbyoo@konkuk.ac.kr

A Survey on V&V and Hazard analysis of FPGA-Based Systems in Safety-Critical Domain

Younggyu Lee, Daewon Kim, Yoona Heo, Junbeom Yoo
Department of Computer Science and Engineering, Konkuk University

요약

Field-Programmable Gate Array (FPGA)는 높은 재구성 가능성과 신뢰성으로 안전 중요 시스템에서 핵심 기술로 자리 잡고 있다. 본 논문은 FPGA의 적용 사례를 통해 구조와 설계 원리를 분석하고, FPGA 기반 시스템의 확인 및 검증 (Verification and Validation, V&V)과 위험 분석의 중요성을 논의한다. 또한, FPGA 기술의 한계를 분석하고, 안전 중요 시스템에서의 역할을 강화하기 위한 발전 방향을 제시한다.

Abstract

Field-Programmable Gate Array (FPGA) has established itself as a key technology in safety-critical systems due to its high reconfigurability and reliability. This paper analyzes FPGA's application cases, focusing on its structure and design principles. It also discusses the importance of verification and validation (V&V) and hazard analysis in ensuring reliability and safety. Furthermore, this paper examines the limitations of FPGA technology and proposes future directions to enhance its role in safety-critical systems, aiming to address current challenges and support its continued development as a foundational technology in these environments.

1. 서론

FPGA는 설계자가 원하는 동작을 직접 프로그래밍하고 필요할 때마다 재구성할 수 있는 반도체 디바이스이다. 높은 재구성 가능성과 유연성, 비용 효율성으로 인해 기존의 Programmable Logic Controller (PLC)가 널리 사용되던 산업 자동화, 의료 기기, 원자력 발전소 (Nuclear Power Plants, NPP)와 같은 안전 중요 시스템에서 중요한 역할을 수행하고 있다. FPGA는 Application-Specific Integrated Circuit (ASIC)과 달리 빠른 프로토타이핑과 짧은 개발 주기를 제공하여 반복적인 설계와 테스트가 필요한 환경에서 선호된다. 그러나 이러한 특성은 방사선 유발 장애 (Single Event Upset, SEU)와 같은 외부 요인에 취약하며, 이는 시스템의 신뢰성을 저하시킨다. 이를 해결하기 위해 Triple Modular Redundancy (TMR), Error Correction Code (ECC), 스크러빙 (scrubbing)과 같은 결함 허용 설계 기법이 널리 연구되고 있다 [1].

기존의 Fault Tree Analysis (FTA)와 Failure Mode and Effect Analysis (FMEA)와 같은 전통적인 위험 분석 (Hazard Analysis) 기법의 경우, 시스템의 복잡성이 증가함에 따라 모든 위험을 파악하는 데 한계가 있다. 최근에는 이러한

한계를 극복하고자 안전 중요 시스템에서 Systems-Theoretic Process Analysis (STPA)와 같은 현대적 위험 분석 기법에 대한 연구가 진행되고 있고, 특히 계측제어 (Instrumentation and Control, I&C) 시스템에 사용되는 FPGA 기반 시스템의 신뢰성 (reliability)과 안전성 (safety) 검증이 필수적이라고 강조하고 있다 [2, 3]. 또한, FPGA 기반 시스템은 기존 PLC나 컴퓨터 기반 시스템에 비해 유연성과 신뢰성을 제공하며, 이러한 시스템이 안전 기능을 수행하기 위해서는 초기 설계 단계에서부터 체계적인 확인 및 검증 (V&V)이 요구된다. 이는 FPGA 설계와 위험 분석 과정에 STPA와 같은 최신 기법이 도입될 필요성을 더욱 부각시킨다 [4].

본 논문에서는 FPGA의 주요 활용 사례를 통해 기술적인 가치를 확인하고, 이를 가능하게 한 설계 특징과 구조적 특성을 논의한다. 또한, FPGA 기반 시스템의 신뢰성과 안전성을 보장하기 위해 확인 및 검증을 수행하고 위험 분석 기법을 적용한 사례들을 살펴봄, 현존하는 한계를 분석하고 향후 발전 방향을 제시한다. FPGA가 안전 중요 시스템에서 필수 기술로 자리 잡기 위한 과정을 조명하고, 향후 FPGA 기술이 다양한 산업에서 그 역할을 확대할 수 있는 가능성을 모색하고자 한다.

2. FPGA의 안전 중요 분야에서의 활용 사례

본 장에서는 FPGA가 안전 중요 시스템에서 신뢰성을 확보하도록 하기 위한 다양한 활용 사례를 탐구한다. 아래에 제시되는 연구들은 FPGA가 NPP 원자로 보호, 자율주행차량, 전기차 배터리 감지 시스템 등 다양한 안전 중요 분야에서 신뢰성을 보장하고 효율적인 설계 솔루션을 제공할 수 있음을 보여주며, 제시된 연구들이 적용된 분야를 <Table 1>에서 정리하여 나타냈다. 이러한 사례들은 FPGA가 기존의 마이크로프로세서 또는 ASIC 기반 시스템에 비해 높은 신뢰성, 빠른 응답 속도, 그리고 유연성을 제공할 수 있음을 보여준다.

Table 1. FPGA-based Applications in Safety-Critical Domain

No.	활용 분야						
	원자력 발전소	산업 자동화	방사선 환경	자율주행 및 차량 응용	IoT 및 에너지 응용	고성능시스템 및 메모리	기타
[5]	✓						
[6]	✓		✓				
[7]	✓	✓	✓			✓	
[8]	✓						
[9]	✓		✓				
[10]	✓					✓	
[11]	✓						✓
[12]	✓	✓	✓			✓	
[13]		✓				✓	✓
[14]				✓	✓		
[15]					✓	✓	
[16]				✓		✓	
[17]		✓			✓	✓	
[18]				✓		✓	✓
[19]					✓	✓	

Marcos S. Farias, et al.의 연구 [5]에서는 FPGA 기반 I&C 시스템의 이점과 한계를 설계 지침과 규제를 바탕으로 평가하였다. SRAM, Flash & EPROM, Antifuse 기반 회로 설계 기법을 검토해 failure를 줄이고 resilience를 확보하는 방안을 분석하였으며, FPGA가 I&C 시스템에서 비용 효율적인 옵션이 될 수 있음을 제시하였다.

Dongliang Zhang과 Wenchen Wu의 연구 [6]에서는 방사선 환경에서도 FPGA 기반 시스템의 신뢰성을 유지하기 위한 체계적인 검증방안을 제시하였다. 이 연구에서는 BRAM 오류 주입 실험 시스템을 설계하고, BCH Code의 강력한 오류 수정 성능을 보여줌으로써, FPGA 자체의 검증뿐 아니라 이를 기반한 시스템의 전체적인 동작 검증 체계를 구축하였다.

Cinzia Bernardeschi, et al.의 연구 [7]에서는 SRAM 기반 FPGA를 활용한 시스템이 원자로 보호와 위기 대응 시스템에서 높은 신뢰성과 유연성을 제공한다고 설명한다. 이 연구는 FPGA는 복잡한 연산을 실시간 처리해 기능적 안전성을 보장하며, IEC 61508 표준에 기반한 V-모델 설계

접근법과 FMEA 기법으로 설계 단계에서 잠재적 오류를 식별하고 대응하였다

Joon-Ku Lee, et al.의 연구 [8]에서는 FPGA 기반 제어기가 PLC를 대체하도록 하기 위해서 높은 신뢰도를 가져야 함을 강조하며, MIL-HDBK-217F를 따라 신뢰성의 향상을 위한 소프트웨어 개발 및 Mean Time Between Failures (MTBF)를 포함한 신뢰도 분석을 수행하였다. FPGA의 고장률은 LAMBDA PREDICT 3을 사용하여 예측되었으며, 분석 결과 PLC와 동등하거나 그 이상의 신뢰도를 가짐을 확인하였다.

E. Bachmach, et al.의 연구 [9]에서는 FPGA 기반 RADIX 플랫폼을 개발해 허가 과정의 복잡성, 공통원인고장 (Common Cause Failure, CCF), 안전 평가 어려움, 비용 및 기간 증가 문제를 최소화하고자 하였다. FPGA의 하드웨어 수준 프로그래밍은 CCF를 줄이고, 기존 프로그래머블 기술의 유연성과 안정성을 결합해 성능과 안전성을 향상시킨다.

Jingke She와 Jin Jiang의 연구 [10]에서는 CANDU 원자로의 shutdown 시스템에서 FPGA 기반 시스템이 기존 시스템보다 빠르고 안정적으로 작동함을 Hardware-in-the-Loop (HIL) 테스트와 통계적 분석을 통해 입증하였다. Trip decision logic을 중심으로 비교한 결과, FPGA 기반 시스템이 유의미하게 더 빠른 응답 시간을 보였다.

R. Piggin과 C. Sampson의 연구 [11]에서는 FPGA 기반 시스템의 장점과 과제를 다루며, FPGA가 기존 마이크로프로세서 기반 시스템보다 단순하고 비용 효율적이며, 노후화에 덜 취약하다고 설명한다. 그러나 현재 도구로는 bitstream 검증이 어려워 Class 1 안전 시스템의 완전한 검증을 지원하기 어렵고, 이를 위해 안전 및 보안 표준의 통합을 통해 규제기관과 산업체의 인증 과정을 단순화해야 한다고 제안한다.

Joon-Ku Lee, et al.의 연구 [12]에서는 원전 계측제어계통에서 FPGA 기반 제어기를 설계·검증하기 위해 HPD 개발 수명주기를 적용하였다. IEC 61513 등 국제 표준에 따라 소프트웨어와 하드웨어의 통합 검증을 수행하였으며, 352시간의 번인 시험과 92시간의 환경 시험을 통해 신뢰성과 건전성을 확인하고 PLC 대체 가능성을 입증하였다.

Smitha Muralidhar Gautham의 연구 [13]에서는 안전 중요 FPGA 시스템을 위해 다중 레벨 런타임 검증 접근법을 제안하며, 안전성과 보안성을 동시에 보장하고자 하였다. 설계 보증과 런타임 검증을 연계하고, 위험 분석과 결함 탐지를 통합한 프레임워크를 개발해 신뢰성을 높였다. 런타임 모니터를 활용한 사례 연구로 위험 완화와 동적 조건에서의 시스템 검증 효과를 입증하였다.

Bukya Muralidhar et al.의 연구 [14]에서는 전기차 배터리 절연 감지를 위한 FPGA 기반 VFF-RLS 알고리즘을 제안하며, 전기차의 안전성과 신뢰성 강화를 목표로 한다. 이 알고리즘은 실시간 절연 상태 감지와 배터리 절연 저항 변화를 효과적으로 모니터링하며, 높은 정확도와 빠른 응답 속도, 잡음 내성을 갖췄다. 실험 결과, MATLAB

시뮬레이션 대비 오류율이 크게 감소하고 다양한 조건에서도 높은 안정성을 유지하였다.

Dongil Lee와 Dongwoo Park의 연구 [15]에서는 에너지 효율적인 FPGA 가속기 설계를 위해 하드웨어와 소프트웨어를 통합한 공동 설계 플랫폼을 제안하였다. Xilinx Alveo U200 FPGA와 Vitis 플랫폼을 활용해 하드웨어 가속기의 설계를 매개변수화하고, 코드 생성을 자동화하여 반복 시뮬레이션 없이 최적 비율을 효율적으로 찾았으며 1000×1000 행렬 곱셈 실험에서 실행 시간은 90.7%, 전력 소비는 56.3% 감소해 IoT 등 에너지 민감형 응용에서 설계 효율성과 신뢰성을 향상시켰음을 입증하였다.

Donghwan Ahn, et al.의 연구 [16]에서는 자율주행자동차의 안전성 평가를 위해 ISO-26262 Part3 프로세스와 위험 분석 기법을 활용해 시뮬레이션 기반 오류 주입 시나리오를 제안하였다. FPGA의 고속 연산과 병렬 처리를 통해 검증 효율성을 높였으며, 안전 상태 (Safe State) 전환을 보장하기 위한 제어기 동작 조건과 검증 방법론을 제시하였다.

Jong-Bok Lee의 연구 [17]에서는 오픈소스 명령어 집합 아키텍처인 RISC-V를 설계, 시뮬레이션하고 FPGA에 구현 및 검증하는 과정을 제안하였다. SystemVerilog로 RISC-V 코어를 설계하고 Xilinx Vivado를 사용해 Ultra96-V2 FPGA 보드에 합성하였다. FPGA 내부 신호는 통합 로직 분석기 (ILA)로 실시간 관찰하며 설계의 정확성과 신뢰성을 검증하였다. RISC-V 코어는 재사용성과 응용 가능성이 높아 IoT부터 고성능 시스템까지 활용될 수 있으며, FPGA의 병렬 처리와 실시간 검증이 설계 신뢰성 강화에 기여함을 보여주었다.

Hyunsoo Heo와 Kwangmin Lee의 연구 [18]에서는 물체 인식을 위해 FAST와 BRIEF 알고리즘을 Zynq-7000 SoC 플랫폼에서 FPGA로 구현하는 방법을 제안하였다. 기존 SIFT 및 SURF 기반 가속기와 비교해 내부 메모리 사용량을 57%, 하드웨어 비용을 70% 줄이고 성능은 1.6배 향상되었다. 제안된 구조는 물체 인식의 정확성과 효율성을 높이며, 저전력 고성능 임베디드 시스템에 적합함을 보여준다.

Dongjin Kim과 Byungho Kang의 연구 [19]에서는 FPGA 기반 DDR 메모리 인터페이스의 호환성과 속도를 향상시키기 위한 최적화 방법을 제안하였다. DDR3를 DDR4에 맞게 최적화하고, AXI 데이터 폭을 조정하여 데이터 읽기 속도를 두 배로 증가시켰다. Xilinx ZC706과 ZCU106 보드에서 구현 및 검증한 결과, DDR4 메모리에서 동작 효율이 크게 향상되었다.

3. FPGA의 주요 특성

2장에서 제시된 활용 사례는 FPGA가 안전 중요 시스템에서 높은 유연성과 신뢰성을 제공하며 중요한 역할을 하고 있음을 보여준다. 이러한 역할의 바탕이 되는 FPGA의 기술적 특징과 설계 방식을 이해하는 것은 FPGA 기반 시스템의 신뢰성과 효율성을 논의하는데 큰 도움을

준다. 본 절에서는 FPGA의 주요 구성 요소와 설계 과정을 살펴보고, 이를 바탕으로 검증과 위험 분석의 필요성을 논의하고자 한다.

FPGA는 프로그래밍 가능한 논리 소자와 다양한 구성 요소들로 이루어진 재구성 가능한 반도체 디바이스로, 고속 데이터 처리와 복잡한 논리 연산이 필요한 응용에서 높은 유연성과 신뢰성을 제공한다. FPGA는 Look-Up Table (LUT), Flip-Flop, Block RAM, I/O 블록 등으로 구성되어 있다. LUT는 논리 연산을 수행하는 기본 구성 요소로 진리표 (truth table)에 기반한 논리 연산을 구현한다. 또한, Flip-Flop은 데이터의 상태를 저장하고 동기화하며, Block RAM은 고속 데이터 처리를 위한 내장 메모리로 활용된다. I/O 블록은 FPGA 외부와의 데이터 통신을 담당하며, 이러한 구성 요소들은 FPGA 내부의 Routing Network를 통해 서로 연결되어 데이터 흐름을 제어한다 [20].

FPGA 설계 과정은 하드웨어와 소프트웨어 설계의 통합을 필요로 하며, Verilog나 VHDL 과 같은 하드웨어 설명 언어 (Hardware Description Language, HDL)가 사용된다. Register Transfer Level (RTL) 설계 단계에서는 데이터 경로와 제어 논리를 정의하며, 설계된 HDL 코드는 합성 (Synthesis) 과정을 거쳐 게이트 수준의 Netlist로 변환된다. 이후 배치 및 배선 (P&R) 과정을 통해 LUT, Flip-Flop 등의 FPGA의 물리적 리소스에 설계가 매핑 (mapping)되며, 최적의 신호 경로를 결정한다. 최종적으로 생성된 bitstream을 FPGA에 업로드하면 설계된 기능이 구현된다 [21].

FPGA는 병렬 처리와 실시간 데이터 처리가 가능하여 고속 연산이 필요한 응용에 적합하며, 설계 변경이 가능하다는 점을 통해 다양한 설계 요구사항에 유연하게 대응할 수 있다. SRAM 기반 FPGA는 특히 안전 중요 시스템에서 널리 활용되지만, 앞서 언급된 것처럼, SEU와 같은 환경적 요인에 취약하다는 단점이 있다. 때문에, 이를 극복하기 위해 TMR, ECC, 스크램핑과 같은 결함 허용 설계 기법이 널리 연구되고 있다. 이러한 기법들은 FPGA 기반 시스템에서 발생 가능한 오류를 완화하고 신뢰성을 높이는 데 중요한 역할을 한다. 특히 NPP와 같은 안전 중요 시스템에서 FPGA는 높은 신뢰성을 제공하는 기술로 대두되고 있다. SRAM 기반 FPGA 시스템에서는 신뢰성 향상을 위해 TMR 및 Partial Reconfiguration (PR)과 같은 설계 방법론이 도입되고 있으며, IEC 62566 [22] 같은 국제 표준과의 연계를 통해 안전성이 더욱 강화되고 있다 [4].

4. 안전 중요 분야에서 FPGA 기반 시스템의 V&V와 위험 분석

FPGA를 안정적이고 효과적으로 활용하기 위해서는 설계 초기 단계부터 철저한 V&V와 체계적인 위험 분석이 필수적이다 [1, 2, 3, 4]. 3장에서 설명한 LUT, Flip-Flop, Block RAM 등 구성 요소 간의 상호작용에서 발생할 수 있는 오류와 TMR, PR과 같은 신뢰성 강화 기법은 검증과

분석의 중요성을 보여준다.

FPGA의 V&V는 설계와 구현 간의 일관성을 보장하고, 설계 단계에서 발생할 수 있는 잠재적 오류를 조기에 탐지하며, 설계 복잡성을 효과적으로 관리하는 데 초점을 맞추고 있다. 이 과정에서 시뮬레이션 기반 검증 방식은 전통적으로 널리 사용되어 왔으며, 최근에는 정형 검증 기법과 자동화된 도구들이 이를 보완하고 있다. 특히, 자가 진단 기술 (Built-In Self-Test, BIST) 및 동적 모듈 디버깅 프레임워크 (Dynamic Module Debugging Framework, DMD)와 같은 새로운 기술들은 검증 과정을 효율적으로 관리하고, 설계 주기를 단축하는 데 기여하고 있다. 이러한 기법들은 FPGA 기반 시스템의 복잡성을 해결하고 신뢰성을 높이는 데 핵심적인 역할을 한다.

위험 분석은 FPGA 기반 시스템의 복잡한 위험 요소를 식별하고 완화하기 위해 필수적이다. 기존의 FTA 및 FMEA와 같은 전통적인 위험 분석 기법은 시스템의 복잡성과 동적 상호작용을 충분히 반영하지 못한다는 한계가 있었다 [23]. 이에 따라 STPA와 같은 최신 기법이 도입되었으며, FPGA의 하드웨어 특성을 고려한 확장된 위험 분석 프로세스와 모델 기반 시스템 엔지니어링 (Model-Based Systems Engineering, MBSE)같은 접근법이 활용되고 있다. 이들 기법은 설계 단계에서 위험 요소를 사전에 파악하고 체계적으로 관리하여, FPGA 기반 시스템이 안전 중요 환경에서 요구되는 신뢰성과 안전성을 충족하도록 지원한다.

본 장에서는 이러한 검증과 위험 분석의 중요성을 강조하며 다양한 사례를 탐구한다. <Table 2>에 다음의 4.1절과 4.2절에서 다룬 FPGA의 V&V와 위험 분석 관련 주요 사례들을 IEC 62566 [22]와 IEEE 1012 표준[24] 규격에 따른 검증 방법과 논문에서 나타나는 주요 V&V 기법과 위험 분석 기법들로 분류하여 나타냈으며, 각 항목은 <Table 3>에 정리하였다. 4.1절에서는 설계와 구현 과정에서 수행되는 V&V 활동을 다루며, 시뮬레이션 기반 검증, 정형 검증, 자가 진단 기술 등 주요 접근법과 그 사례를 소개한다. 4.2절에서는 FPGA의 위험 분석 사례를 다루며, 기존 기법과 최신 연구들을 바탕으로 위험 요소를 분석하고 완화하는 방법론을 논의한다. 이러한 논의는 FPGA가 안전 중요 시스템에서 신뢰성과 안정성을 보장하기 위한 필수 기술로 자리 잡는 과정을 명확히 보여준다.

4.1 FPGA 기반 시스템의 V&V

Yong Suk Suh, et al.의 연구 [25]에서는 FPGA 설계를 위한 기반 시스템의 신뢰성을 강화하기 위해 HDL로 작성된 설계 산출물의 초기 V&V 방법론을 제안하였다. HDL의 프로그래밍 특성과 안전 중요 시스템의 요구 사항, FPGA의 결합 모드를 검토하여 V&V 활동을 리뷰, 테스트, 분석의 세 가지로 구성하였다. 이 방법론은 SMART MMIS 프로젝트 펌웨어 설계에 적용되며, 설계 오류를 조기에 발견하고 신뢰성을 강화하는 데 기여한다.

Satrio Pradana과 Jae Cheon Jung.의 연구 [26]에서는 FPGA

기반 안전 중요 시스템의 전체 검증을 위해 시스템 엔지니어링 접근법과 V&V 절차를 체계화하였다. 이 연구는 IEC 62566 및 IEEE 1012 표준을 기반으로 요구사항 정의부터 설계, 구현, 검증을 포괄하며, SRGM (Software Reliability Growth Model)을 통해 신뢰성을 평가하였다. 제안된 방법론은 FPGA 기반 시스템의 안전성과 규제 요건 충족을 입증하였다.

Serhii Naumenko, et al.의 연구 [1]에서는 FPGA 설계의 논리적 정확성과 요구사항 간 일관성을 수학적으로 입증하기 위해 정형 검증 기법을 활용하였다. HDL Designer와 ModelSim SE 도구를 사용해 설계 초기 단계에서 구문 오류와 요구사항 위반을 조기에 발견하고, 논리 및 타이밍 검증으로 53건의 추가 결함을 찾아 설계 복잡성과 비용을 줄이며 시스템 신뢰성을 향상시켰다.

Zequn Lin, et al.의 연구 [27]에서는 BIST 기술을 FPGA 기반 원자로 보호 시스템 (CPR1000 NPP)에 적용하여 실시간 오류 진단과 분석 능력을 강화하였다. FPGA 내부의 자가 진단 회로를 통해 테스트 시간을 약 70% 단축하고 100%의 진단 정확도를 달성하였으며, 블랙박스 테스트 기법을 활용하여 하드웨어와 소프트웨어 상호작용 오류를 조기에 탐지하였다.

Narukawa Yoshifumi의 연구 [28]에서는 FPGA를 포함한 SoC 기반 단일 보드 검증 시스템을 개발하여 ATLAS 실험의 Phase-II 레벨-0 엔드캡 뮤온 트리거 시스템의 트리거 로직을 검증하는 방법론과 구현 방식을 제시하였다. Monte Carlo 시뮬레이션 데이터를 활용하여 하드웨어와 소프트웨어의 동작 결과를 비교 검증하며, 트리거 알고리즘의 정확성과 성능최적화를 입증하였다.

In Sok Hwang과 Jae Cheon Jung의 연구 [29]에서는 FPGA 기반 시스템 검증을 위해 시스템 엔지니어링 접근법을 활용한 DNBR (Departure from Nucleate Boiling Ratio) 알고리즘 개발 과정을 제안하였다. 원자력 발전소의 CPCS (Core Power Calculation System)설계를 중심으로 V 모델을 기반으로 요구사항 도출, 설계, 구현, 검증 단계를 체계화하여 FPGA 기반 시스템의 신뢰성과 안전성을 확보하였다. 또한, IEC 62566 표준을 적용하여 규제 요건을 충족하는 검증 절차를 제시하였다.

Ibrahim Ahmed, et al.의 연구 [30]는 FPGA 기반 원자로 보호 시스템 (Reactor Protection System, RPS)의 V&V 프로세스를 개선하기 위해 모델 기반 접근 방식을 제안하였다. 이 방법론은 요구사항 분석, 기능 및 구조 모델링, 그리고 VHDL 테스트, MC/DC 테스트, MATLAB/Simulink Co-simulation, FPGA 하드웨어 테스트로 구성되며, 각 단계는 통합적으로 수행된다. 이러한 방식은 설계 검증 작업의 중복을 줄이고, 통합 검증을 통해 시간과 비용을 절감하면서 프로세스의 효율성을 크게 향상시켰음을 확인하였다.

J. Wang, et al.의 연구 [31]에서는 FPGA 기반 모션 제어 시스템을 위한 BP 신경망 기반 PID 제어를 설계하고 검증하였다. 제어기는 PID 파라미터를 실시간으로 자동

Table 2. FPGA V&V and Hazard Analysis for Safety-Critical Applications

No.	적용분야	요구사항 검증	설계검증	구현검증	방사선검증	통합검증	시스템 안전성 검증	FTA	FMEA	STPA	MBSE	Formal Methods	HIL	Dynamic Flowgraph
[1]	원자력 발전소 - 설계 검증		√	√			√					√	√	
[24]	계측제어 시스템	√	√	√			√					√		
[25]	원자력 발전소	√	√	√			√					√		
[27]	원자로 보호 시스템		√	√			√					√		√
[28]	오류 진단 시스템	√	√	√										
[29]	자율 시스템		√	√			√					√	√	
[30]	원자로 보호 시스템	√	√				√	√				√		
[31]	디버깅 및 검증		√	√		√								
[32]	원자로 보호 시스템	√	√	√			√					√	√	
[33]	제어 시스템			√			√	√	√			√		√
[34]	설계 자동화	√	√	√		√	√							
[35]	디지털 I&C 시스템		√	√			√			√	√	√	√	
[37]	FPGA SW 테스트	√	√	√			√					√		
[38, 39]	FPGA SW	√	√	√			√					√		
[40]	산업 안전 분석						√	√	√	√		√		
[41]	원자력 I&C 시스템 설계	√	√				√				√	√		
[42]	방사선 환경 FPGA 설계			√	√		√					√	√	
[43]	고장 내성 FPGA 설계		√	√				√	√	√				
[44]	고장 추경 FPGA 분석			√			√	√	√			√		

Table 3. V&V Methods and Hazard Analysis Techniques

항목	설명
요구사항 검증	설계 요구사항 검토로 누락이나 모호성을 식별, 설계 오류 예방
설계 검증	설계와 요구사항 일치 여부 검토, 시뮬레이션으로 오류 발견
구현 검증	구현이 설계 사양에 부합하는지 확인, 타이밍 분석과 디버깅 도구 활용
방사선 검증	방사선 환경에서 안정성 검증, TMR-PR 기법과 방사선 테스트 수행
통합 검증	모든 구성요소 통합 후 요구사항 충족 여부 확인
시스템 안전성 검증	위험 분석과 시스템 테스트로 위험 식별 및 완화 방안 제시
FTA	고장의 원인과 가능성을 트리 구조로 분석
FMEA	실패 모드와 영향을 식별·평가해 설계 개선 및 예방조치 제안
STPA	제어 구조와 상호작용 분석으로 위험요소 식별, 안전성 확보
MBSE	모델 기반 설계로 설계 오류 감소 및 일관성 유지
Formal Methods	수학적 기법으로 설계 명세와 구현의 논리적 오류 검증
HIL	실제 하드웨어와 시뮬레이션 통합으로 실시간 설계·구현 불일치 검증
Dynamic Flowgraph	동적 상호작용과 상태 변화를 그래프로 모델링해 신뢰성과 안전성 분석

조정하는 폐쇄 루프 구조로 높은 신뢰성과 효율성을 확보하였으며, FPGA의 병렬 처리를 통해 전진 전과, PID 연산, 오류 역전과를 효과적으로 구현하였다. 실험 결과, 제안된 시스템은 기존 MCU 기반 제어 시스템보다 속도와 효율성이 크게 향상되었음을 입증하였다.

Yichun Wu, et al.의 연구 [32]에서는 기존의 표준과 지침을 기반으로 FPGA 기반 Core Heat Removal 보호 시스템을 개발하고 검증하였다. 설계 및 테스트 단계에서는 다양한 검증 및 시뮬레이션 언어와 도구를 활용하여 테스트의 다양성을 확보하였다. System acceptance testing 단계에서는 CPR1000 NPP 운영 원리 시뮬레이터 (OPS)를 사용해 정상 및 비정상 운전 시나리오를 시뮬레이션 하였다.

Phillip McNelles와 Lixuan Lu의 연구 [33]는 현대 제어 시스템의 소프트웨어/하드웨어 상호작용을 분석하기 위해 Dynamic Flowgraph Methodology (DFM)를 활용하여 FPGA

logic을 모델링하였다. ModelSim 시뮬레이션을 통해 DFM이 FPGA 특성을 정확히 모델링할 수 있음을 확인하였으며, 전통적인 신뢰성 분석 기법 및 FPGA 시뮬레이터와 비교해 DFM의 장점과 잠재적 문제점에 대해 논의하였다.

Javier Pérez Fernández, et al.의 연구 [34]에서는 차량 제어 시스템을 위한 저비용 FPGA 기반 전자 제어 장치 (ECU)의 설계 및 검증을 제안하였다. FPGA와 ARM 프로세서를 통합한 SoC를 사용하여 실시간 요구사항을 충족하였으며, traction control system (TCS) 알고리즘 등 다양한 제어 알고리즘을 테스트하여 성능과 유연성을 검증하였다. 제안된 ECU는 모듈형 프로그래밍으로 하드웨어와 소프트웨어 간 통합을 간소화하고 비용 효율성을 높였다.

Richard Hite, et al.의 연구 [35]에서는 FPGA 기반 디지털 I&C 시스템의 복잡성을 관리하고 설계 검증을 강화하기 위해 SymPLe라는 복잡성 인식 설계 프레임워크를 제안하였다. FPGA 설계에서 복잡성이 검증을 저해하는 주요 요인임을 지적하며, 계층 구조와 모듈성을 강조한 설계 원칙과 모델 기반 공학 접근법을 개발하였다. SymPLe는 복잡성을 최소화하고 검증 가능성을 높이며, IEC 61508 [36]의 SIL-4에 따른 검증 절차를 통해 높은 안전 무결성을 충족하였다. 이 연구는 FPGA 기반 설계의 신뢰성과 효율성을 높이는 새로운 방법을 제시하였다.

Jaeyeob Kim, et al.의 연구 [37]는 FPGA SW 개발 단계의 모든 산출물을 통합적으로 시뮬레이션하고 일반적인 Oracle 프로그램을 사용해 올바른 동작을 평가하는 IST-FPGA (Integrated Software Testing framework for FPGA)를 제안하였다. 또한, Verilog 또는 VHDL로 작성된 시나리오 생성기와 Co-simulator를 활용하여 FPGA 소프트웨어 개발

과정에서 시간과 비용 절감 효과를 입증하였다.

[38, 39]에서 저자들은 FPGA 기반 시스템의 V&V를 위해 V-모델 대신 설계와 구현 단계를 통합한 Y-모델을 적용하였다. Y-모델은 요구사항 분석, 기능 분석, 설계 합성, 설계 검증 등 다섯 단계로 구성되며, 개발 시간과 노력을 절감하는 것을 목표로 한다. FSM with data path 구조 모델링, VHDL과 Aldec Active-HDL을 활용해 reactor bistable trip function과 ESF-CCS 설계를 수행하였으며, white box 테스트, coverage 테스트, static timing analysis (STA)로 VHDL 코드를 검증하고 설계 결과물에 대한 최종 검증을 진행하였다.

4.2 FPGA 기반 시스템의 위험 분석

Philippa Conmy와 Iain Bate의 연구 [40]에서는 FPGA 기반 시스템을 세 가지 level의 viewpoint로 나누어, 가장 상위 level인 safety viewpoint에 safety analysis 기법 중 top-down approach를 적용한다. 두 번째 level인 architectural viewpoint에는 bottom-up approach인 semi-automated Fault Propagation and Transformation Calculus (FPTC)를 적용하여 시스템의 잠재적인 문제점을 드러내는 데 효과가 있음을 확인하였다.

Fanyu Wang, et al.의 연구 [41]에서는 FPGA 기반 I&C 시스템의 설계 신뢰성을 향상시키기 위하여 MBSE 기반 설계 방법에 신뢰성 분석을 통합한다. 또한, System Modeling Language (SysML)기반의 mapping mechanism을 사용하여 신뢰성 분석을 설계 프로세스에 통합하고, 이때 FTA와 FMEA를 결합하여 사용한다.

Wei Wang, et al.의 연구 [42]에서는 SRAM 기반 FPGA를 기반으로 하는 디지털 회로 시스템의 Single Event Effects (SEE)를 완화하기 위해 TMR과 PR 설계 방법을 제안하였다. TMR은 다수결 회로로 높은 안정성을 제공하지만 자원 소모가 크고, PR은 재구성으로 가용성을 유지하며 자원 소모와 회복 시간을 줄인다. 두 방법의 효율성을 신뢰성 모델로 분석해 방사선 환경에서 FPGA 신뢰성 강화에 기여하였다.

Jakub Lojda, et al.의 연구 [43]에서는 FPGA 기반 시스템의 신뢰성을 평가하고 고장 완화를 설계하는 자동화 프레임워크를 제안하였다. SRAM 기반 FPGA의 bitstream에서 중요한 비트와 민감한 비트를 분석해 신뢰성을 정량적으로 측정하는 지표를 개발하고, TMR과 같은 내결함성 기법을 적용해 설계 자동화를 지원하였다. 사례 연구를 통해 TMR이 중요한 비트에서 고장을 효과적으로 완화를 검증하며, 이 지표가 신뢰성 설계의 유용한 도구임을 입증하였다.

Jakub Lojda, et al.의 연구 [44]에서는 SRAM 기반 FPGA 시스템의 민감 비트를 식별하고 Fault Tolerance ESTimation (FT-EST) 프레임워크로 고장 확률을 정량 평가하였다. 결합 주입과 데이터 분석으로 신뢰성과 고장 영향을 분석하며, 연속 오류 구간, 오류 빈도, 민감 비트 분포 등 지표를 통해 위험 요소를 효율적으로 식별하고 설계 초기 단계에서 완화 방안을 제공한다.

5. FPGA 기술의 한계와 발전 방향

앞서 제시한 내용을 통해 FPGA 기반 시스템은 안전 중요 시스템에서 높은 신뢰성과 유연성을 제공하며 다양한 산업 분야에서 중요한 기술로 자리 잡고 있음을 보였다. 그러나 이러한 가능성에도 FPGA 기술의 도입과 활용에는 여전히 해결해야 할 과제가 존재한다. 본 장에서는 FPGA 기반 시스템의 주요 한계를 다루고, 이를 해결하기 위한 발전 방향을 제시하며, 이러한 발전 방향이 FPGA 기반의 안전 중요 시스템에 미칠 영향을 논의한다.

5.1 FPGA 기반 시스템의 주요 한계

FPGA 기반 시스템은 높은 성능과 유연성을 제공하지만, V&V 및 위험 분석 과정에서 다음과 같은 주요 한계가 존재한다.

5.1.1 검증 과정의 복잡성과 비용 증가

FPGA 기반 시스템은 높은 설계 복잡성을 특징으로 하며, 이를 검증하기 위해 높은 수준의 전문화된 도구와 기술이 요구된다. 특히, 시스템의 초기 설계 단계에서 발생할 수 있는 오류를 조기에 발견하고 수정하는 과정이 어렵고, 이로 인해 프로젝트 비용과 일정이 크게 영향을 받는다. 때문에 [1]의 연구에서는 설계 초기단계에서 정형 검증기법을 적용하여 이러한 복잡성을 줄이는 방법을 제시하였다.

5.1.2 전통적 위험 분석 기법의 한계

FTA 및 FMEA 같은 전통적인 위험 분석 기법은 FPGA 기반 시스템의 특성을 충분히 반영하지 못한다. FPGA의 동적 재구성 특성과 하드웨어 수준의 병렬 처리는 기존 분석 기법에서 고려하기 어려운 요소이다. 이로 인해 시스템의 잠재적 위험 요소를 효과적으로 파악하고 관리하는 데 한계가 있다. [2, 3, 4]의 연구에서는 이러한 기법의 한계를 극복하기 위해 STPA 같은 현대적 위험 분석 기법의 필요성을 강조하였다.

5.1.3 비트스트림 검증의 어려움

FPGA 비트스트림의 무결성을 보장하는 검증 도구가 부족하여, Class 1 안전 시스템과 같은 고신뢰성 시스템에서 요구되는 수준의 검증을 수행하기 어렵다. [11]의 연구는 FPGA 기반 시스템에서 비트스트림 검증의 중요성을 강조하며 이를 위한 구체적인 방안으로 비트스트림 검증 프레임워크의 개발을 제안하였다.

5.1.4 표준화의 부재

FPGA 기반 시스템은 다양한 산업에 활용되고 있지만, 이를 지원하는 설계 및 검증 표준이 부족하여 품질과 신뢰성이 일관되지 않은 결과를 초래한다. [41, 45]의 연구는 FPGA 기술의 산업별 표준화를 통해 이러한 문제를 해결할 수 있음을 보여준다.

5.2 향후 발전방향

5.1에서 언급한 FPGA 기반 시스템의 한계는 복잡성, 비용부담, 표준화 부족 등으로 요약될 수 있으며 이러한 한계를 극복하고 FPGA 기술의 활용 가능성을 더욱 확장하기 위해 다음과 같은 발전 방향을 제시할 수 있다.

5.2.1 자동화된 설계 및 검증 도구 개발

FPGA 기반 시스템의 설계 초기 단계에서 발생할 수 있는 오류를 조기에 발견하고, 복잡한 설계 과정을 단순화하기 위해 자동화된 설계 및 테스트 도구가 필요하다. 이러한 도구는 설계자의 작업을 지원하고 설계 품질을 향상시키며 설계 주기를 단축하는 데 기여할 것이다. 특히, 안전성이 요구되는 원자력, 의료, 자율주행차량과 같은 산업 분야에서는 이러한 자동화 기술이 설계 복잡성을 줄이는 데 효과적으로 활용될 수 있다 [35, 37].

5.2.2 산업별 요구를 반영한 설계 표준화

각 산업은 고유한 안전성 요구와 환경적 조건을 가지고 있다. 예를 들어, 원자력 산업에서는 방사선 내성이 중요하며, 자율주행차는 실시간 데이터 처리가 필수적이다. 따라서 FPGA 기술이 이러한 다양한 요구를 충족하기 위해서는 하드웨어 설계에 그치지 않고 산업별 요구를 반영한 설계 방법론이 필요하다. 또한, 국제 표준화 작업을 통해 산업별로 일관된 설계 가이드라인을 제공함으로써 FPGA 기술의 활용성을 높이고, 다양한 산업에 걸쳐 신뢰성을 확보해야 한다 [41, 45].

5.2.3 FPGA 기반 시스템의 발전 방향성

FPGA의 성능 향상은 FPGA 기반 시스템의 설계 및 구현에서 새로운 가능성을 열어주고 있다. 예를 들어, 고성능 데이터 처리와 신뢰성 높은 설계를 가능하게 하는 고수준 합성 (HLS)과 FT-EST 도구는 FPGA 기반 시스템의 생산성과 안정성을 동시에 강화하는 데 기여하고 있다. 또한, Dynamic Partial Reconfiguration (DPR)은 시스템 자원 사용을 최적화하면서 신속한 복구와 적응형 설계를 가능하게 한다. 이러한 기술 발전은 항공, 우주, 군사, 의료, 통신 등 고신뢰성과 고효율이 요구되는 다양한 응용 분야에서 FPGA 기반 시스템의 채택을 더욱 확대할 것이다. 향후에는 FPGA의 유연성과 병렬 처리 능력을 기반으로 다양한 신기술과의 결합을 통해, 더욱 복잡한 문제 해결과 시스템 성능 최적화가 이루어질 것으로 기대된다 [42, 43, 44].

5.2.4 극한 환경에서의 성능 평가와 실증 연구 확대

FPGA 기반 시스템은 방사선, 극저온, 고온과 같은 극한 환경에서도 안정적으로 작동해야 하는 경우가 많다. 이러한 환경에서 성능을 평가하고 실증 연구를 확대하는 것은 FPGA 기술의 신뢰성을 보장하는 데 필수적이며, FPGA 기반 시스템이 극한 조건에서도 안정적으로 작동할 수 있음을 입증함으로써 더 넓은 분야에서의 활용 가능성을 열어줄 것이다 [46, 47].

6. 결론

본 논문에서는 FPGA 기반 시스템이 안전 중요 시스템에서 신뢰성과 안전성을 보장하기 위해 필요한 V&V와 위험 분석에 관한 다양한 연구를 살펴보았다. 먼저, 2장에서는 FPGA의 활용 사례를 다루었고, 3장에서 이러한 역할의 바탕이 되는 FPGA의 구조적인 특징과 설계 과정을 설명함으로써 FPGA가 기존 기술에 비해 뛰어난 유연성과 신뢰성을 제공한다는 점을 확인하였다. 이어서 4장에서는 FPGA 기반 시스템의 신뢰성과 효율성을 보장하기 위해 V&V 및 위험 분석의 중요성에 대해 논의하였다. 또한, FPGA 설계와 검증 과정의 복잡성을 해결하기 위한 다양한 최신 기법에 대해 다루었다. 정형 검증, 자가 진단 (BIST), 자동화된 테스트 도구 등은 설계 초기 단계에서 오류를 조기에 발견하고 설계 품질을 높이는 데 기여하고 있으며, 이러한 발전은 안전 중요 시스템에서 FPGA 기반 시스템의 신뢰성을 더욱 강화하고 있다.

5장에서 제시된 FPGA 기술의 한계는 검증 과정의 복잡성과 비용 증가, 전통적 위험 분석 기법의 한계, 비트스트림 검증의 어려움, 표준화 부재로 요약된다. 이를 극복하기 위해 다음과 같은 발전 방향이 논의되었다. 자동화된 설계 및 검증 도구는 설계 초기 단계에서 발생할 수 있는 오류를 조기에 발견하여 복잡성을 줄이고 설계 품질을 향상시키는 데 기여한다. 또한, 산업별 요구를 반영한 설계 표준화는 FPGA 기술이 다양한 산업 분야에서 더욱 신뢰성과 효율성을 갖춘 핵심 기술로 자리 잡는 데 필요하다. DPR과 HLS 같은 기술은 시스템 자원 사용을 최적화하며 신속한 복구와 적응형 설계를 가능하게 한다. 이 외에도, 극한 환경에서의 성능 평가와 실증 연구는 FPGA 기반 시스템이 다양한 환경에서 안정적으로 작동할 수 있음을 입증하며, 응용 가능성을 넓히는 데 기여할 것이다.

FPGA 기술은 안전 중요 시스템에서의 필수 기술로 자리 잡고 있지만, 그 잠재력을 온전히 발휘하기 위해 설계 초기 단계부터 체계적인 검증과 분석, 그리고 산업 맞춤형 표준화가 필수적이다. 특히, 자동화된 설계 및 테스트 도구의 개발, 표준화된 설계 가이드라인, 실증 연구 확대는 FPGA 기술의 발전을 가속화할 것이다. 이러한 발전은 원자력, 의료, 자율주행차, IoT와 같은 다양한 분야에서 FPGA 기반 시스템이 고신뢰성 시스템 설계의 핵심 기술로 자리 잡는 데 기여할 것이다. 앞으로도 FPGA 기술의 지속적인 발전과 이를 활용한 다양한 응용 연구가 이루어지기를 기대한다.

Acknowledgment

본 연구는 원자력안전위원회의 재원으로 소형모듈원자로규제연구추진단의 지원을 받아 수행한 원자력안전연구사업의 연구결과입니다. (No. 1500-1501-409)

Reference

- [1] Naumenko, S., Moskalets, V., Odarushchenko, O., Odarushchenko, E., Peschanenko, V., Degtyareva, L., & Letychevskiy, O., "Formal Methods of FPGA Project Verification Flow," *Proceedings of the IEEE International Conference on Intelligent Data Acquisition and Advanced Computing Systems*, vol. 11, no. 1, pp. 1140–1146, 2021.
- [2] Maerani, R., Suryono, T. J., Santoso, S., & Jung, J. C., "V&V Methods Used in the Development of FPGA-Based I&C Systems for HTR-10," *Journal of Physics: Conference Series*, vol. 2048, no. 1, pp. 012041, 2021.
- [3] Kassab, F. N., & Khairullah, S. S., "A Survey on Dependable Digital Systems Using FPGAs: Current Methods and Challenges," *International Journal of Advances in Computer and Electronics Engineering*, vol. 5, no. 12, pp. 1–8, 2020.
- [4] Bernardeschi, C., Cassano, L., & Domenici, A., "SRAM-Based FPGA Systems for Safety-Critical Applications: A Survey on Design Standards and Proposed Methodologies," *Journal of Computer Science and Technology*, vol. 30, no. 2, pp. 373–390, 2015.
- [5] Farias, M. S., Martins, R. H. S., Teixeira, P. I. N., & Carvalho, P. V. R., "FPGA-Based I&C Systems in Nuclear Plants," *Chemical Engineering Transactions*, vol. 52, pp. 1–12, 2016.
- [6] Zhang, D., & Wu, W., "Radiation Environment-Constrained FPGA Reinforcement Technology and Reliability Research Utilizing Error Control Coding," *IEEE Access*, vol. 12, pp. 1–15, 2024.
- [7] Bernardeschi, C., Cassano, L., & Domenici, A., "SRAM-Based FPGA Systems for Safety-Critical Applications," *Journal of Computer Science and Technology*, vol. 30, no. 2, pp. 373–390, 2015.
- [8] J. K. Lee, K. I. Jung, G. O. Park, and K. Y. Sohn, "A Quantitative Reliability Analysis of FPGA-based Controller for applying to Nuclear Instrumentation and Control System," *Journal of the Korea Institute of Electronic Communication Sciences*, vol. 9, no. 10, pp. 1117–1123, 2014.
- [9] Bachmach, E., Siora, O., & Tokarev, V., "FPGA-Based Technology and Systems for I&C of Existing and Advanced Reactors," *IAEA Conference Proceedings*, pp. 1–10, 2009.
- [10] She, J., & Jiang, J., "On the Speed of Response of an FPGA-Based Shutdown System in CANDU Nuclear Power Plants," *Nuclear Engineering and Design*, vol. 241, no. 6, pp. 2280–2287, 2011.
- [11] Piggan, R., & Sampson, C., "Security and Safety of FPGAs in Nuclear Safety Systems," *11th International Conference on System Safety and Cyber-Security*, pp. 1–8, 2016.
- [12] J. K. Lee, K. I. Jeong, G. O. Park, and K. Y. Sohn, "Design and Qualification of FPGA-based Controller applying HPD Development Life-Cycle for Nuclear Instrumentation and Control System," *Journal of the Korea Institute of Electronic Communication Sciences*, vol. 9, no. 6, pp. 681–688, 2014.
- [13] Gautham, S. M., "Multilevel Runtime Verification for Safety and Security Critical Cyber Physical Systems," *Ph.D. Dissertation*, Virginia Commonwealth University, 2020.
- [14] Bukya, M., Padma, B., Kumar, R., Mathur, A., & Prasad, N., "FPGA-Based VFF-RLS Algorithm for Battery Insulation Detection in Electric Vehicles," *World Electric Vehicle Journal*, vol. 15, no. 2, pp. 1–12, 2024.
- [15] D. Lee, and D. Park, "Hardware and Software Co-Design Platform for Energy-Efficient FPGA Accelerator Design," *Journal of the Korea Institute of Information and Communication Engineering*, vol. 25, no. 1, pp. 20–26, 2021.
- [16] D. Ahn, S. Shin, Y. Baek, H. Lee, K. Park, and I. Choi, "A Study on Simulation-Based Fault Injection Test Scenario and Safety Measure Time of Autonomous Vehicle Using STPA," *Journal of The Korea Institute of Intelligent Transport Systems*, vol. 18, no. 2, pp. 129–143, 2019.
- [17] J. B. Lee, "FPGA Implementation and Verification of RISC-V Processor," *Journal of The Institute of Internet, Broadcasting and Communication*, vol. 23, no. 5, pp. 115–121, 2023.
- [18] Lee, J., "FPGA Implementation and Verification of RISC-V Processor," *Journal of The Institute of Internet, Broadcasting and Communication*, vol. 23, no. 5, pp. 115–121, 2023.
- [19] H. Heo and K. Lee, "FPGA-Based Implementation of FAST and BRIEF Algorithm for Object Recognition," *Journal of IKEEE*, vol. 17, no. 2, pp. 202–207, 2013.
- [20] D. Kim, and B. Kang, "Optimization of FPGA-Based DDR Memory Interface for Better Compatibility and Speed," *Journal of The Korea Institute of Information and Communication Engineering*, vol. 25, no. 12, pp. 1914–1919, 2021.
- [21] Kuon, I., Tessier, R., & Rose, J., "FPGA Architecture: Survey and Challenges," *Foundations and Trends in Electronic Design Automation*, vol. 2, no. 2, pp. 135–253, 2008.
- [22] Chen, D., Cong, J., & Pan, P., "FPGA Design Automation: A Survey," *Foundations and Trends in Electronic Design Automation*, vol. 1, no. 3, pp. 195–330, 2006.
- [23] International Electrotechnical Commission, IEC 62566: Nuclear power plants - Instrumentation and control important to safety - Development of HDL-programmed integrated circuits for systems performing category A functions, IEC Standard, Geneva, Switzerland, 2012.
- [24] U.S. NRC, "Design-Specific Review Standard Section 7.0 Appendix A, Instrumentation and Controls - Hazard Analysis," ML15355A316, U.S. Nuclear Regulatory Commission, 2016.

- [24] Institute of Electrical and Electronics Engineers, "IEEE Standard for Software Verification and Validation," IEEE Std 1012-2004, 2005.
- [25] Y. S. Suh, J. Y. Keum, J. Y. Park, and K. H. Jo, "A Preliminary Verification and Validation (V&V) Methodology for the Artifacts Programmed with a Hardware Description Language (HDL)," *Transactions of the Korean Nuclear Society Spring Meeting*, vol. 1, pp. 875–876, 2008.
- [26] Satrio Pradana, Jae Cheon Jung, "Software Reliability of Safety-Critical FPGA-based System using System Engineering Approach," *Journal of the Korean Society of Systems Engineering*, vol. 14, no. 2, pp. 49 - 57, 2018.
- [27] Lin, Z., Wang, L., Cai, Y., Wang, F., & Wu, Y., "Implementation of a Built-in Self-Test for Nuclear Power Plant FPGA-Based Safety-Critical Control Systems," *Annals of Nuclear Energy*, vol. 165, pp. 1-12, 2022.
- [28] Narukawa, Y., "Development of methodology and implementation of SoC-based compact single-board validation system for the ATLAS Phase-II level-0 muon trigger system," *ATL-DAQ-PROC-2024-016*, 2024,
- [29] I. S. Hwang, J. C. Jung, "Development Process of FPGA-based Departure from Nucleate Boiling Ratio Algorithm Using Systems Engineering Approach," *Journal of the Korean Society of Systems Engineering*, vol. 14 no. 2, pp. 41-48, 2018.
- [30] I. Ahmed, J. Jung, and G. Heo, "Design Verification Enhancement of Field Programmable Gate Array-Based Safety-Critical I&C System of Nuclear Power Plant," *Nuclear Engineering and Design*, vol. 317, pp. 232–241, 2017.
- [31] J. Wang, M. Li, W. Jiang, Y. Huang, and R. Lin, "A Design of FPGA-Based Neural Network PID Controller for Motion Control System," *Sensors*, vol. 22, no. 889, pp. 1–18, 2022.
- [32] Wu, Y., Shui, X., Cai, Y., Zhou, J., Wu, Z., & Zheng, J., "Development, Verification and Validation of an FPGA-Based Core Heat Removal Protection System for a PWR," *Nuclear Engineering and Design*, vol. 301, pp. 311–319, 2016.
- [33] McNelles, P., & Lu, L., "Field Programmable Gate Array Reliability Analysis Using the Dynamic Flowgraph Methodology," *Nuclear Engineering and Technology*, vol. 48, no. 5, pp. 1192–1205, 2016.
- [34] Pérez Fernández, J., Alcázar Vargas, M., Velasco García, J. M., Cabrera Carrillo, J. A., & Castillo Aguilar, J. J., "Low-Cost FPGA-Based Electronic Control Unit for Vehicle Control Systems," *Sensors*, vol. 19, no. 8, pp. 1834, 2019.
- [35] Hite, R., Deloglos, C., Jayakumar, A., Gautham, S., Collins, A., Rajagopola, A., & Elks, C., "SymPL: A Complexity-Aware Approach for Realizing Verifiable FPGA-Based Digital I&C for Safety Critical Applications," *IEEE Annual Conference on Dependable Systems and Networks*, pp. 1–10, 2021.
- [36] IEC, "IEC 61508:2010 Functional safety of electrical/electronic/programmable electronic safety-related systems," International Electrotechnical Commission, 2010.
- [37] J. Kim, E. S. Kim, J. Yoo, Y. J. Lee, and J. G. Choi, "An Integrated Software Testing Framework for FPGA-Based Controllers in Nuclear Power Plants," *Nuclear Engineering and Technology*, vol. 48, no. 2, pp. 470–481, 2016.
- [38] J. Jung, and I. Ahmed, "Development of Field Programmable Gate Array-Based Reactor Trip Functions Using Systems Engineering Approach," *Nuclear Engineering and Technology*, vol. 48, no. 4, pp. 1047–1057, 2016.
- [39] R. Maerani, J. K. Mayaka, and J. C. Jung, "Software Verification Process and Methodology for the Development of FPGA-Based Engineered Safety Features System," *Nuclear Engineering and Design*, vol. 330, pp. 325–331, 2018.
- [40] Conmy, P., & Bate, I., "Component-Based Safety Analysis of FPGAs," *IEEE Transactions on Industrial Informatics*, vol. 6, no. 2, pp. 195–205, 2010.
- [41] Wang, F., Zhao, Y., He, J., Chen, Q., Hei, M., & Wang, H., "Integrating Reliability Analysis into MBSE for FPGA-Based Safety-Critical I&C System Design in Nuclear Power Plants," *Kerntechnik*, vol. 89, no. 4, pp. 529–546, 2024.
- [42] Wang, W., Yin, J., & Zhang, M., "The Research of FPGA Reliability Based on Redundancy Methods," *IEEE International Conference on Computer Science and Network Technology*, vol. 2, pp. 1608–1611, 2016.
- [43] J. Lojda, R. Panek and Z. Kotasek, "Automatically-Designed Fault-Tolerant Systems: Failed Partitions Recovery," *2021 IEEE East-West Design & Test Symposium (EWDTS)*, pp. 1–8, 2021.
- [44] Lojda, J., Podvinsky, J., & Kotasek, Z., "Reliability Indicators for Automatic Design and Analysis of Fault-Tolerant FPGA Systems," *2019 IEEE Latin American Test Symposium (LATS)*, pp. 1–4, 2019.
- [45] S. Jung, J. Yoo, and Y. J. Lee, "A Practical Application of NUREG/CR-6430 Software Safety Hazard Analysis to FPGA Software," *Reliability Engineering and System Safety*, vol. 202, pp. 1–9, 2020.
- [46] Rhod, E., Ghavami, B., Fang, Z., & Shannon, L., "A Cycle-Accurate Soft Error Vulnerability Analysis Framework for FPGA-Based Designs," *Proceedings of the IEEE International Conference on Field-Programmable Gate Arrays*, pp. 1–10, 2023.
- [47] Radu, M., "Reliability and Fault Tolerance Analysis of FPGA Platforms," *IEEE International Symposium on Defect and Fault Tolerance in VLSI and Nanotechnology Systems*, pp. 1–8, 2014.