

NuPIC 2013
2013.11.07~11.08
충남 예산



FPGA 기반 제어기를 위한 통합 SW 개발환경 구축

유준범

Dependable Software Laboratory
건국대학교

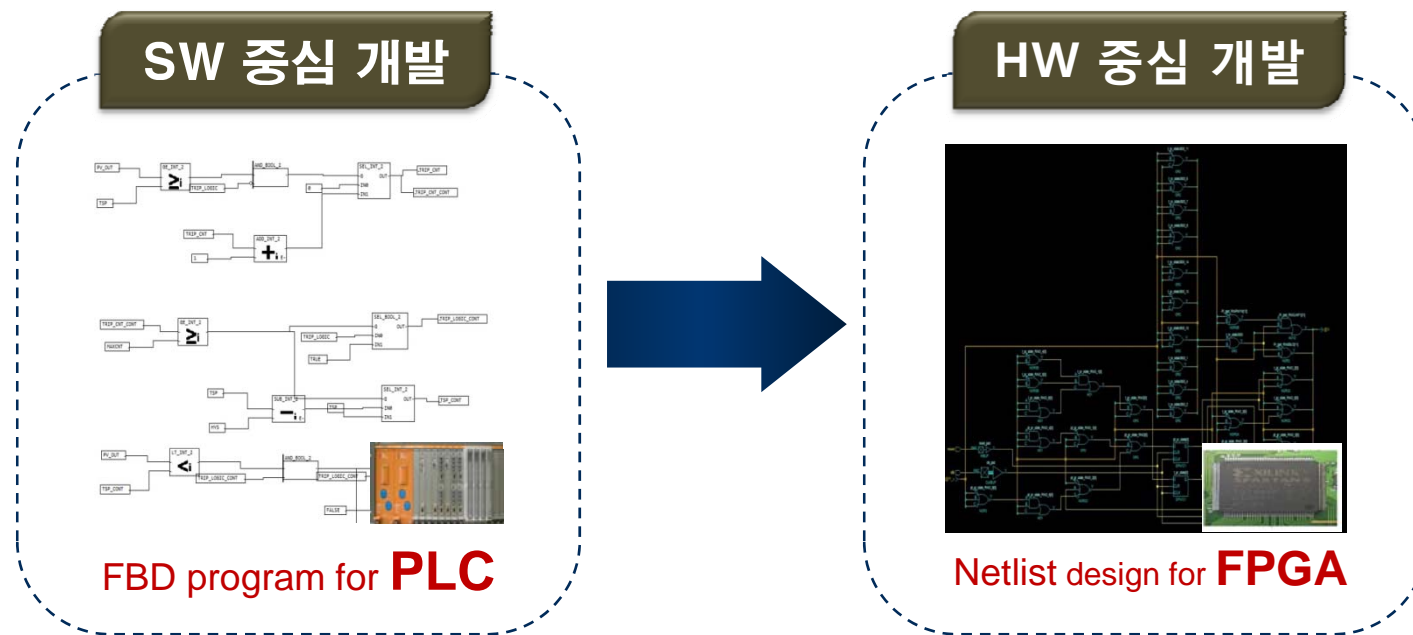
2013.11.08

발표 내용

- 연구 동기
- 효과적인 FPGA 기반 제어기를 위한 통합 SW 개발환경
- 연구 진행 현황
 - 개발 프로세스
 - FBD Editor
 - FBDtoVerilog
- 향후 연구 계획
- 맺음말

연구 동기

- 원자로보호시스템(RPS)의 플랫폼 변경 필요성 증가 (PLC → FPGA)
- 기존 PLC 개발 방법론을 기반으로 FPGA 개발을 지원할 수 있는 "개발 프로세스" 및 "통합 SW 개발환경" 필요



효과적인 FPGA 기반 제어를 위한 통합 SW 개발환경

프로세스

- ▶ 기존의 PLC 개발 프로세스 기반으로 FPGA를 개발할 수 있는 adaptive 프로세스

지원도구

▶ FBD Editor

- ▷ FBD 프로그래밍
- ▷ 기 작성된 FBD 프로그램 읽기 (PLCopen TC6 포맷)
- ▷ FBD를 PLCopen TC6 형식의 XML 파일로 저장

▶ FBDtoVerilog

- ▷ FBD를 Verilog 프로그램으로 자동 변환

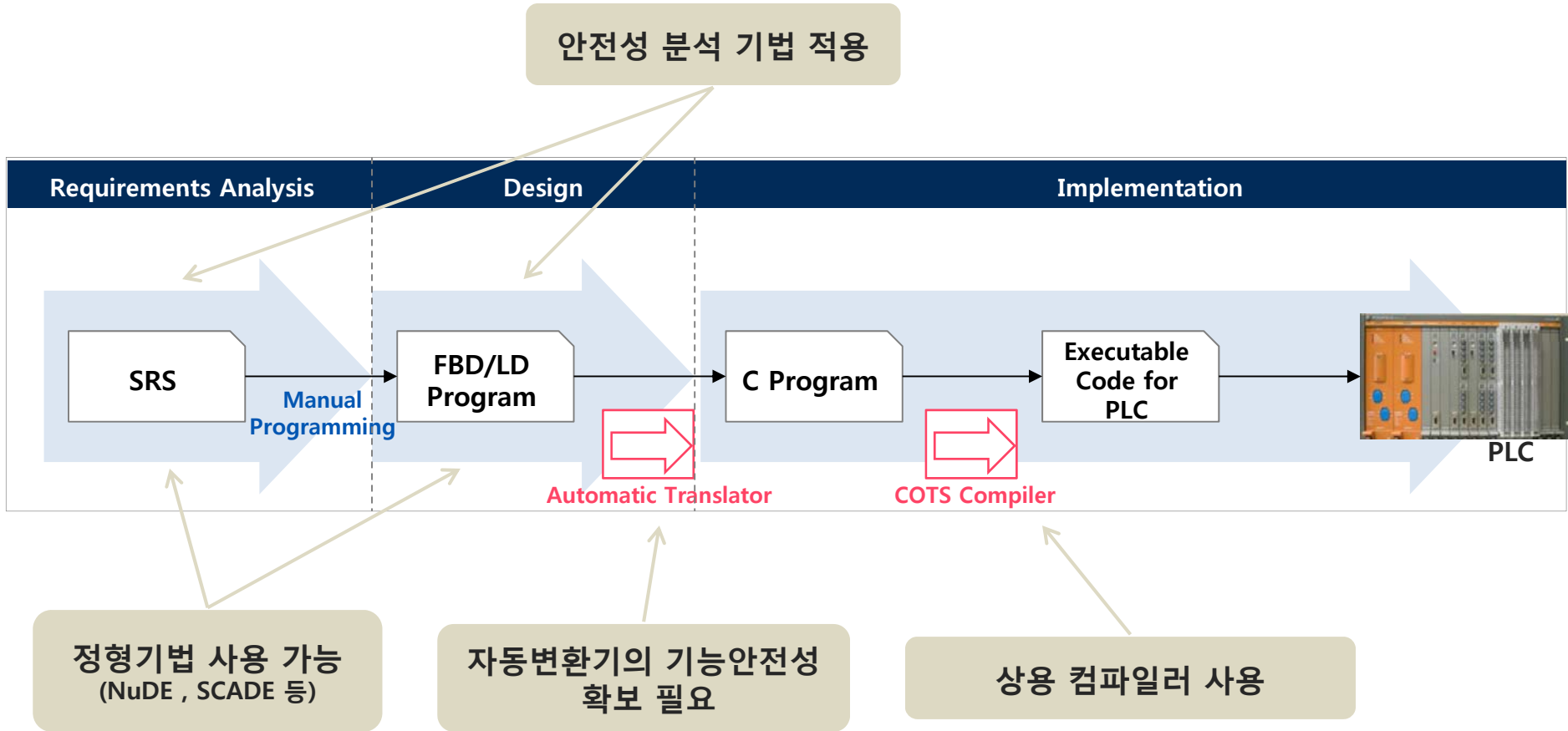
▶ FBDtoVHDL

- ▷ FBD를 VHDL 프로그램으로 자동 변환

▶ Actel_Linker / Questa_Linker

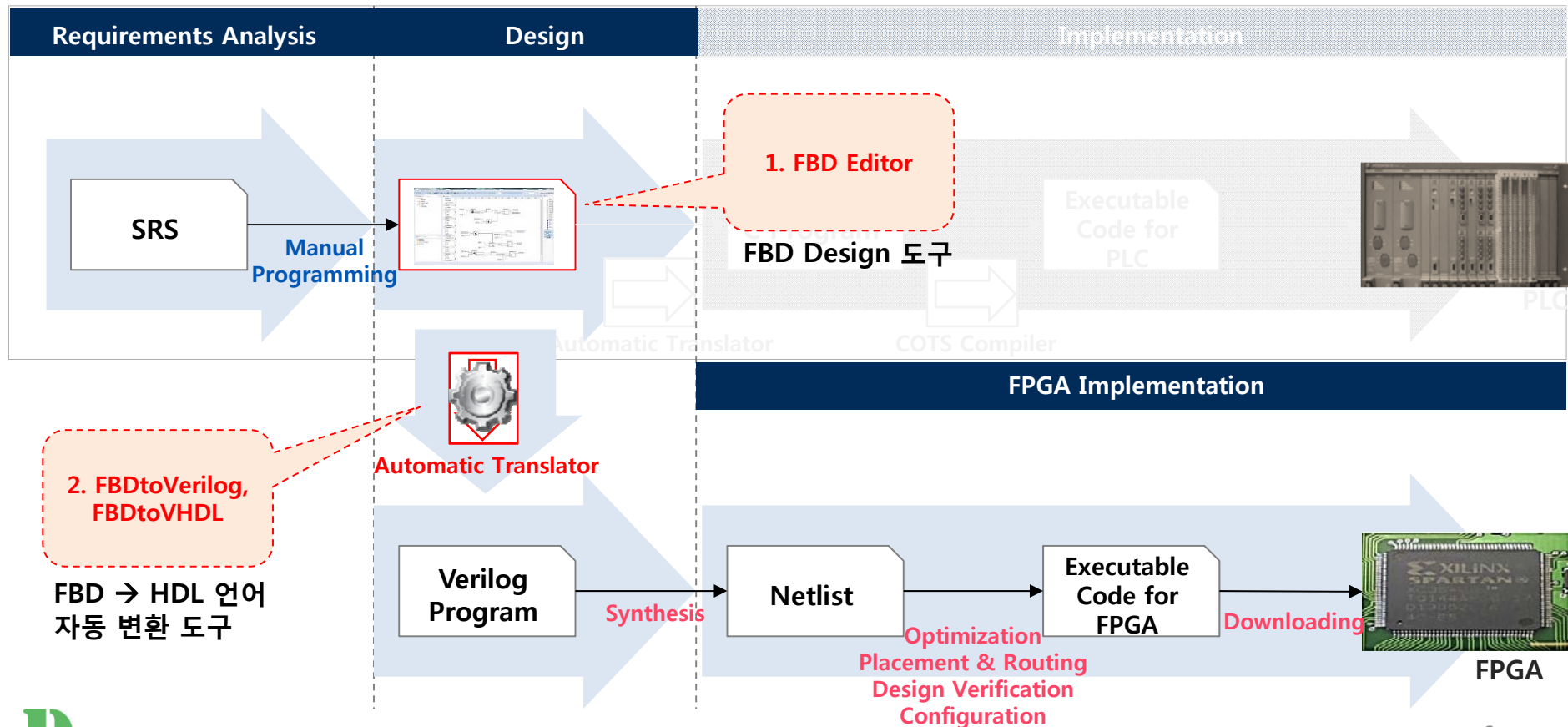
- ▷ Verilog/VHDL 프로그램을 상용 FPGA Synthesis 도구와 연동

기존 PLC 기반 개발 프로세스



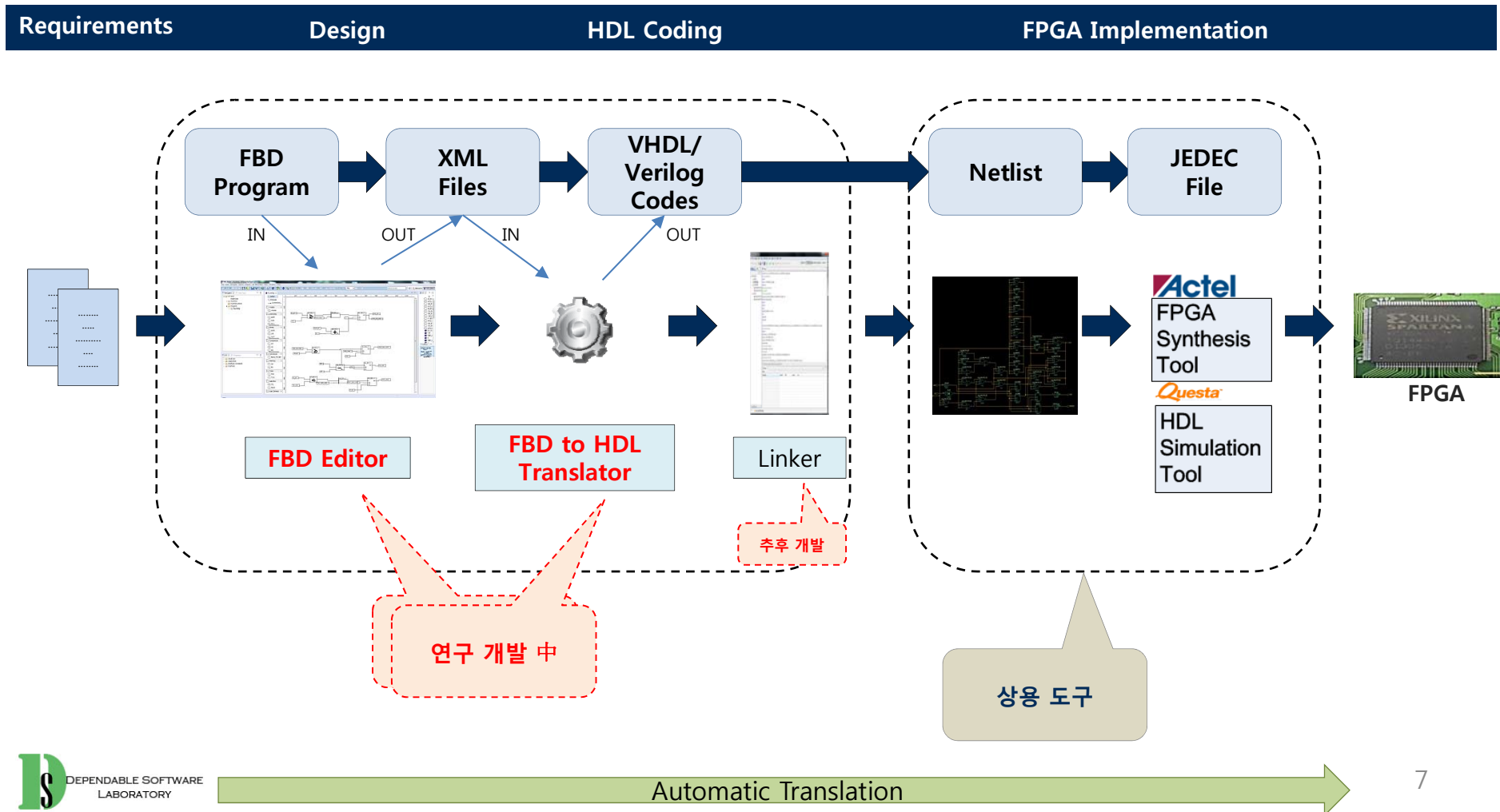
제안하는 개발 프로세스

- 기존 PLC 기반 개발 프로세스 + FPGA 개발 프로세스 + 지원 도구



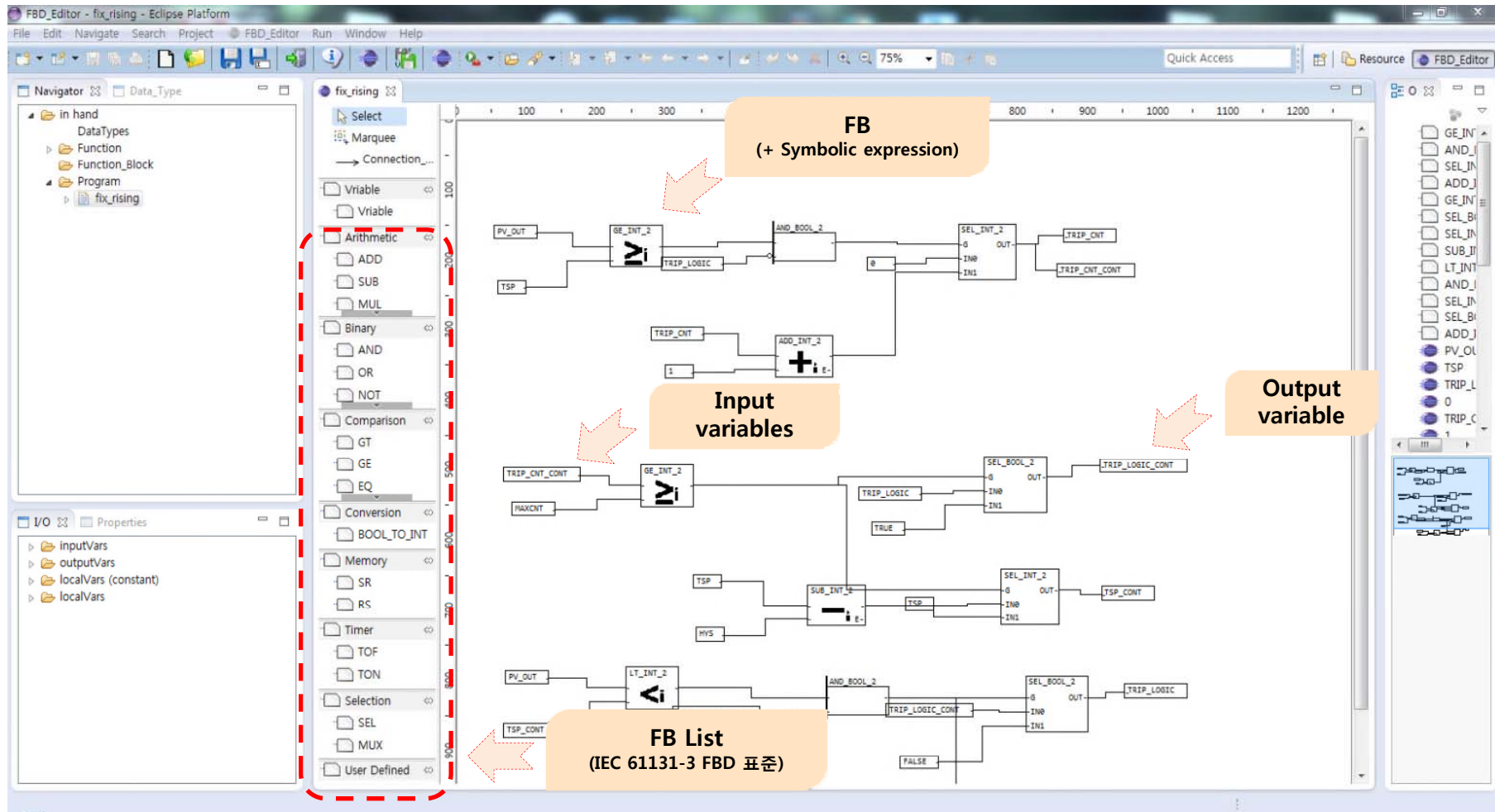
연구 진행 현황

- Adaptive 개발 프로세스



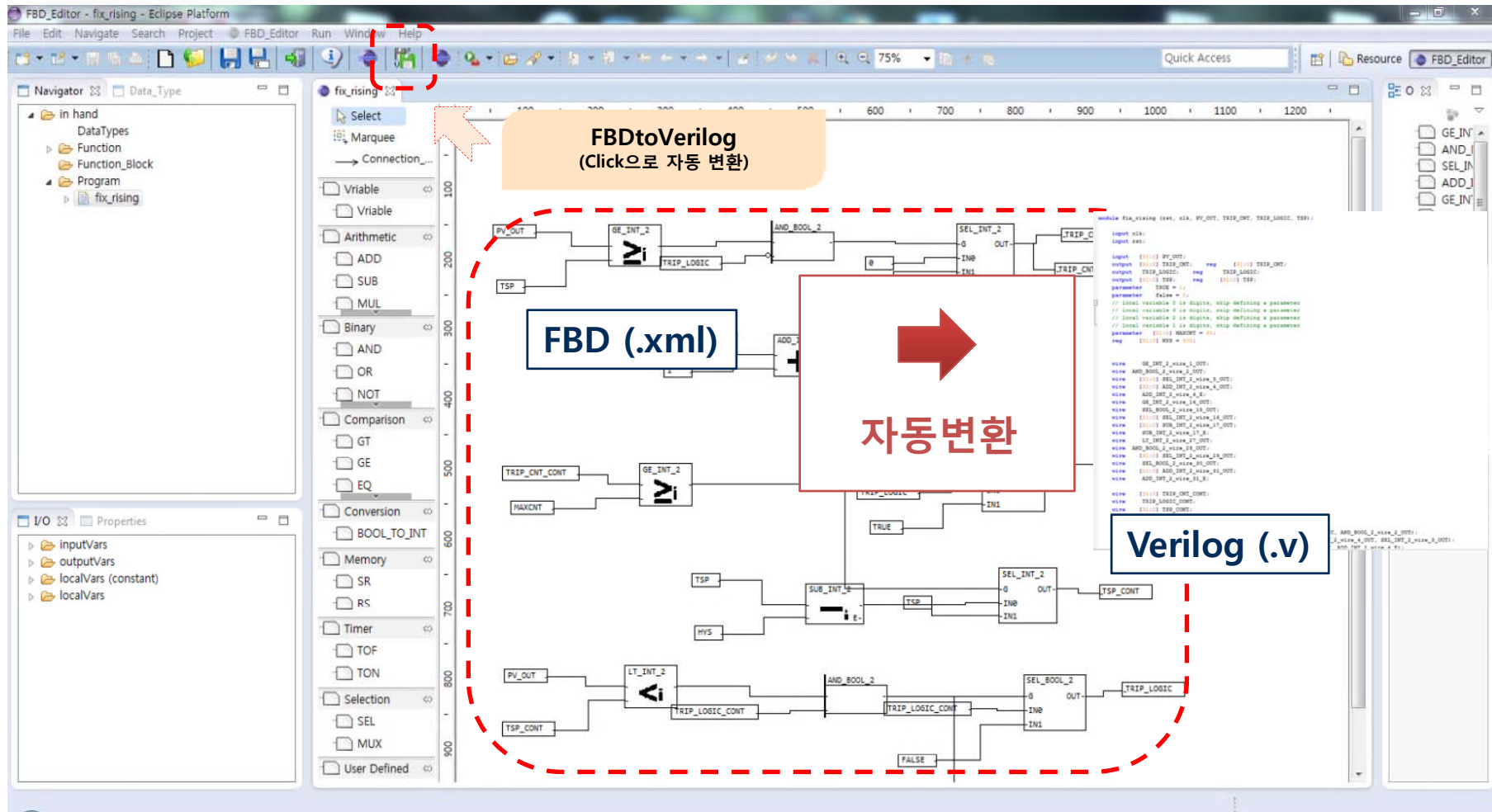
개발 현황 - FBD Editor

- ▷ Eclipse Plug-in으로 개발
- ▷ FBD Programming 가능 (IEC-61131-3 FBD 표준 준수)
- ▷ Xml 파일로 저장 (PLCopen TC6 Schema 준수)



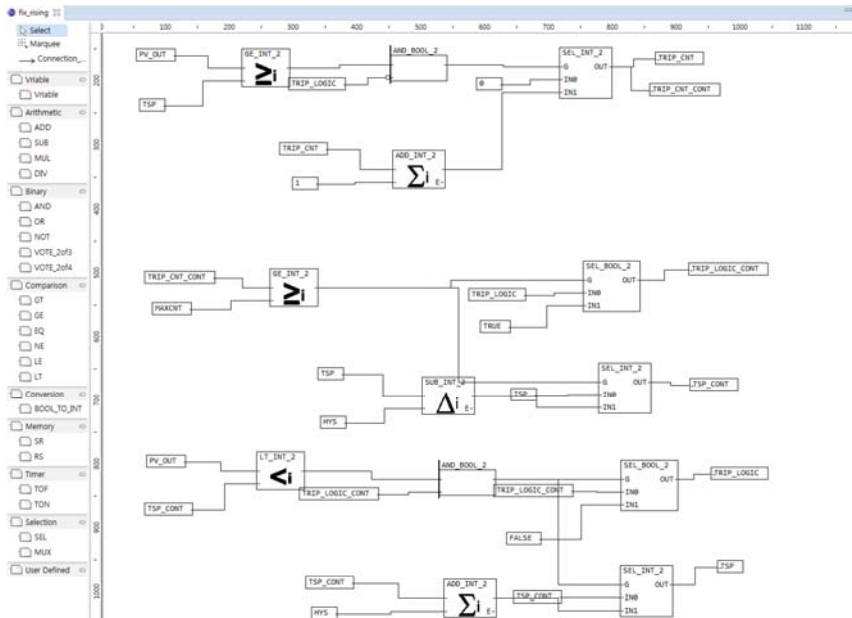
개발 현황 - FBDtoVerilog

- ▶ FBD를 상위 수준 언어인 Verilog HDL로 자동 변환
- ▶ FBD Editor에 통합 (Eclipse Plug-in)
- ▶ PLCopen TC6 Schema를 읽고, 변환 후 Verilog 파일로 저장



Case Study

- A Fixed Set-Point Rising Trip



FBD
 (# of Function Block = 13)



FBDtoVerilog

+



LIB.v

(KAERI 개발)

```

module fix_rising (rst, clk, PV_OUT, TRIP_CNT, TRIP_LOGIC, TSP);
    input clk;
    input rst;

    input [31:0] PV_OUT;
    output [31:0] TRIP_CNT; reg [31:0] TRIP_CNT;
    output TRIP_LOGIC; reg TRIP_LOGIC;
    output [31:0] TSP; reg [31:0] TSP;
    parameter TRUE = 1;
    parameter false = 0;
    parameter [31:0] MAXCNT = 30;
    reg [31:0] HYS = 300;

    wire GE_INT_2_wire_1_OUT;
    wire AND_BOOL_2_wire_2_OUT;
    wire [31:0] SEL_INT_2_wire_3_OUT;
    wire [31:0] ADD_INT_2_wire_4_OUT;
    wire ADD_INT_2_wire_4_E;
    wire GE_INT_2_wire_14_OUT;
    wire SEL_BOOL_2_wire_15_OUT;
    wire [31:0] SEL_INT_2_wire_16_OUT;
    wire [31:0] SUB_INT_2_wire_17_OUT;
    wire SUB_INT_2_wire_17_E;
    wire LT_INT_2_wire_27_OUT;

    GE_INT_2 GE_INT_2_1(rst, clk, PV_OUT, TSP, GE_INT_2_wire_1_OUT);
    AND_BOOL_2 AND_BOOL_2_2(rst, clk, GE_INT_2_wire_1_OUT, ~TRIP_LOGIC, AND_BOOL_2_wire_2_OUT);
    SEL_INT_2 SEL_INT_2_3(rst, clk, AND_BOOL_2_wire_2_OUT, 0, ADD_INT_2_wire_4_OUT, SEL_INT_2_wire_3_OUT);
    ADD_INT_2 ADD_INT_2_4(rst, clk, TRIP_CNT, 1, ADD_INT_2_wire_4_OUT, ADD_INT_2_wire_4_E);
    GE_INT_2 GE_INT_2_14(rst, clk, TRIP_CNT, MAXCNT, GE_INT_2_wire_14_OUT);
    SEL_BOOL_2 SEL_BOOL_2_15(rst, clk, GE_INT_2_wire_14_OUT, TRIP_LOGIC, TRUE, SEL_BOOL_2_wire_15_OUT);
    SEL_INT_2 SEL_INT_2_16(rst, clk, GE_INT_2_wire_14_OUT, TSP, SUB_INT_2_wire_17_OUT, SEL_INT_2_wire_16_OUT);
    SUB_INT_2 SUB_INT_2_17(rst, clk, TSP, HYS, SUB_INT_2_wire_17_OUT, SUB_INT_2_wire_17_E);
    LT_INT_2 LT_INT_2_27(rst, clk, PV_OUT, TSP, TSP, LT_INT_2_wire_27_OUT);
    AND_BOOL_2 AND_BOOL_2_28(rst, clk, LT_INT_2_wire_27_OUT, TRIP_LOGIC, AND_BOOL_2_wire_28_OUT);
    SEL_INT_2 SEL_INT_2_29(rst, clk, AND_BOOL_2_wire_28_OUT, TSP, ADD_INT_2_wire_31_OUT, SEL_INT_2_wire_29_OUT);
    SEL_BOOL_2 SEL_BOOL_2_30(rst, clk, AND_BOOL_2_wire_28_OUT, TRIP_LOGIC, FALSE, SEL_BOOL_2_wire_30_OUT);
    ADD_INT_2 ADD_INT_2_31(rst, clk, TSP, HYS, ADD_INT_2_wire_31_OUT, ADD_INT_2_wire_31_OUT);

    assign TRIP_CNT_CONT = SEL_INT_2_wire_3_OUT;
    assign TRIP_LOGIC_CONT = SEL_BOOL_2_wire_15_OUT;
    assign TSP_CONT = SEL_INT_2_wire_16_OUT;

    always @(posedge rst or posedge clk)
    begin
        if(rst) begin
            TRIP_CNT <= 16'b0000000000000000;
            TRIP_LOGIC <= 1'b0;
            TSP <= 26905;
        end else if (clk) begin
            TRIP_CNT <= SEL_INT_2_wire_3_OUT;
            TRIP_LOGIC <= SEL_BOOL_2_wire_30_OUT;
            TSP <= SEL_INT_2_wire_29_OUT;
        end
    end
end
    
```

Verilog
 (Module call = 13)

```

module fix_rising (rst, clk, FV_OUT, TRIP_CNT, TRIP_LOGIC, TSP);

input clk;
input rst;

input [31:0] FV_OUT;
output [31:0] TRIP_CNT; reg [31:0] TRIP_CNT;
output TRIP_LOGIC; reg TRIP_LOGIC;
output [31:0] TSP; reg [31:0] TSP;
parameter TRUE = 1;
parameter false = 0;
parameter [31:0] MAXCNT = 30;
reg [31:0] HYS = 300;

wire GE_INT_2_wire_1_OUT;
wire AND_BOOL_2_wire_2_OUT;
wire [31:0] SEL_INT_2_wire_3_OUT;
wire [31:0] ADD_INT_2_wire_4_OUT;
wire ADD_INT_2_wire_4_E;
wire GE_INT_2_wire_14_OUT;
wire SEL_BOOL_2_wire_15_OUT;
wire [31:0] SEL_INT_2_wire_16_OUT;
wire [31:0] SUB_INT_2_wire_17_OUT;
wire SUB_INT_2_wire_17_E;
wire LT_INT_2_wire_27_OUT;

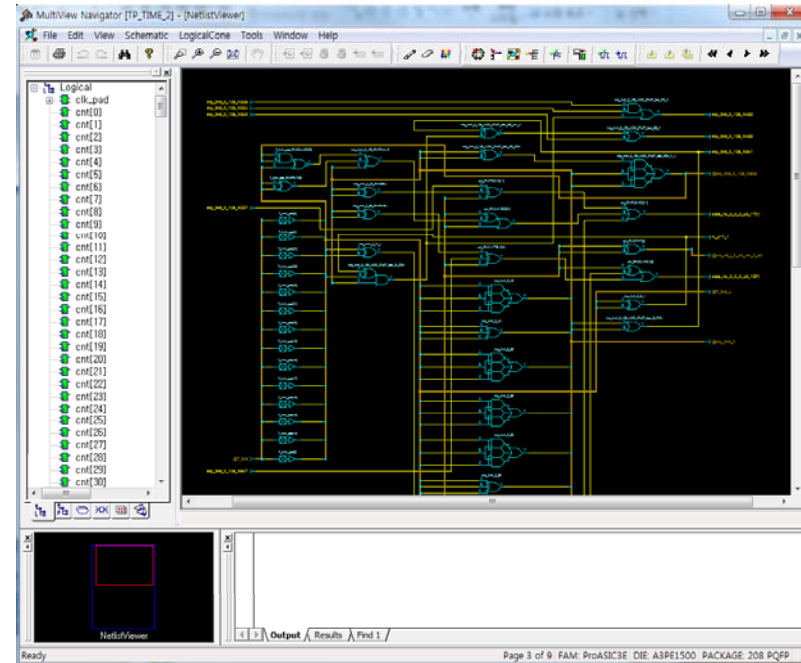
GE_INT_2 GE_INT_2_1(rst, clk, FV_OUT, TSP, GE_INT_2_wire_1_OUT);
AND_BOOL_2 AND_BOOL_2_2(rst, clk, GE_INT_2_wire_1_OUT, ~TRIP_LOGIC, AND_BOOL_2_wire_2_OUT);
SEL_INT_2 SEL_INT_2_3(rst, clk, AND_BOOL_2_wire_2_OUT, 0, ADD_INT_2_wire_4_OUT, SEL_IN
ADD_INT_2 ADD_INT_2_4(rst, clk, TRIP_CNT, 1, ADD_INT_2_wire_4_OUT, ADD_INT_2_wire_4_E)
GE_INT_2 GE_INT_2_14(rst, clk, TRIP_CNT_CNT, MAXCNT, GE_INT_2_wire_14_OUT);
SEL_BOOL_2 SEL_BOOL_2_15(rst, clk, GE_INT_2_wire_14_OUT, TRIP_LOGIC, TRUE, SEL_BOOL_2_
SEL_INT_2 SEL_INT_2_16(rst, clk, GE_INT_2_wire_14_OUT, TSP, SUB_INT_2_wire_17_OUT, CNT

```

Verilog (.v)



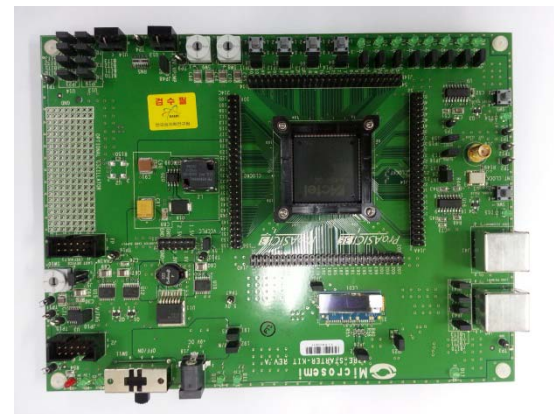
Linker 개발 중



Microsemi - Libero
Netlist View 



실제 FPGA 칩
(Microsemi - 'ProASIC3')
Download



향후 연구 계획

구현

- ▶ FBDtoVHDL 구현 중
- ▶ 상용 소프트웨어와의 연계 도구 구현 예정
 - ▷ Libero, Questasim 연결기

케이스 스터디

- ▶ APR-1400 RPS BP 전체에 대한 Case Study 진행 예정

Safety Demonstration

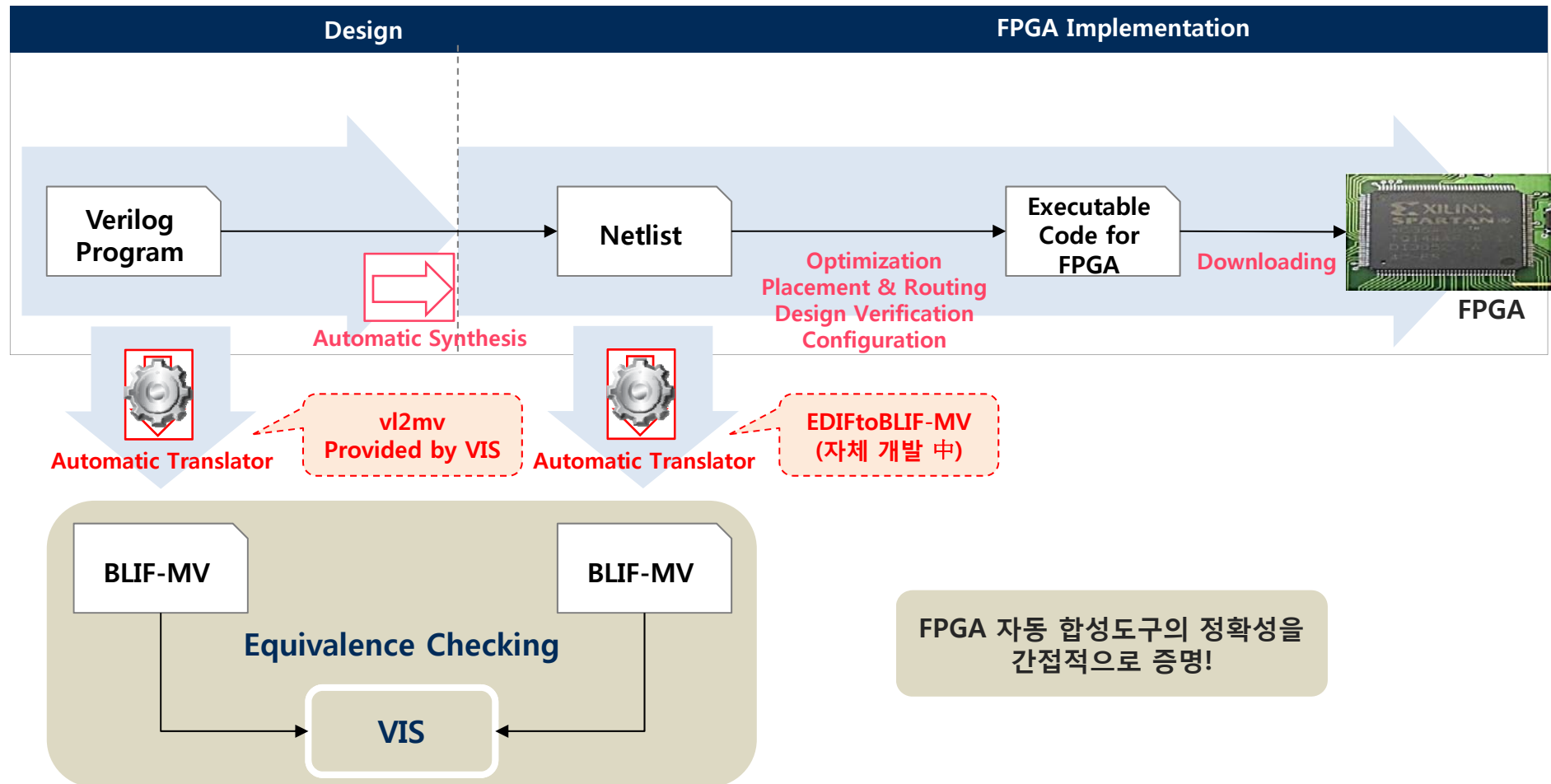
- ▶ FBD Editor에 대한 V&V
- ▶ FBDtoVerilog 및 FBDtoVHDL에 대한 V&V

추가연구

- ▶ 상용으로 제공되는 FPGA Synthesis의 정확성을 검증하는 정형 기법

진행 중인 추가 연구

- Synthesis Confirmation



결론

원자로 보호 시스템(RPS)의 플랫폼 변경 필요성 증가

- ▶ 기능복잡도 ↑
- ▶ 유지보수 비용 ↑

효과적인 PLC→FPGA 전환을 위한 Adaptive RPS SW 개발 프로세스 제시

- ▶ FBDtoVerilog 자동변환기 사용
- ▶ 기존의 PLC SW 개발 경험·노하우 유지
- ▶ 기존의 PLC SW 개발에 적용되던 분석 및 검증 기법을 그대로 적용 가능
- ▶ Diversity 확보, 프로토타입 역할, 성능 & 기능 비교 분석용 테스트베드

통합 SW 개발환경 구축을 위한 개발도구 구현

- ▶ FBD Editor
- ▶ FBDtoVerilog
- ▶ FBDtoVHDL
- ▶ Actel_Linker / Questa_Linker

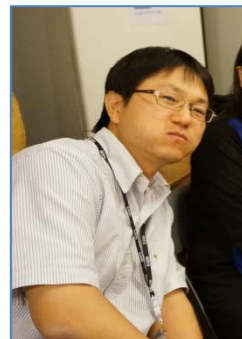
Acknowledgement

FPGA-기반 제어기 통합개발환경을 위한 핵심 소프트웨어 기술 개발

- 과제 책임자: 최종균
- 책임 연구기관: 한국원자력연구원
- 연구 기간: 2013.04 ~ 2015.12 (2년 9개월)



최종균 과제 책임



이영준 선임

+

건국대학교



감사합니다.

<http://dslab.konkuk.ac.kr>